

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274429

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-070617

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.03.1998

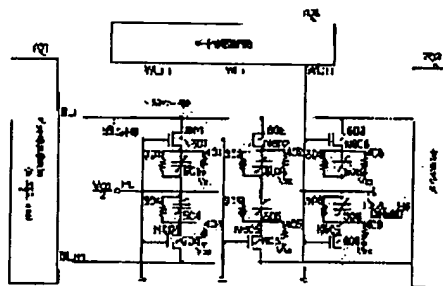
(72)Inventor : KAWAKUBO TAKASHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an FRAM (ferroelectric random access memory) of low- power consumption which allows first reading/writing.

SOLUTION: Cells comprising transistors 601-606 and ferroelectric capacitors 501-506 are allocated in matrix, and leak conductance 301-306 of the ferroelectric capacitors 501-506 are intentionally increased, so that leak conductance 401-406 flowing from internal nodes N601-N606 to a substrate, etc., at weighting are canceled, for constant electric potential of the internal nodes N601-N606 at always. AS a result, stable polarization, is kept, and refresh operation which is characteristics of a plate electric potential fixed type FRAM is not required.



CLAIMS

[Claim(s)]

[Claim 1] A semiconductor memory device comprising:

A transistor for transfer gates.

The 1st electrode layer linked to one main electrode region of this transistor for transfer gates, the 2nd electrode layer linked to a plate line of constant potential.

this -- narrow in the 1st and 2nd electrode layers -- a memory cell which has at least a capacitor with which leakage current density in the maximum of driver voltage consists of ferroelectric membrane which is below 1 A/cm^2 in more than 10^{-6} A/cm^2 .

[Claim 2] Said ferroelectric membrane is barium titanate which grew epitaxially on a silicon (Si) board ferroelectric membrane used as the main ingredients, and as an alloying element, The semiconductor memory device according to claim 1 by which a rare earth element and vanadium (V), niobium (Nb), chromium (Cr), molybdenum (Mo), and at least one or more kinds of elements selected from tungsten (W) being included 5% or less 0.01% or more.

[Claim 3] A semiconductor memory device comprising:

A transistor for transfer gates.

The 1st electrode layer linked to one main electrode region of this transistor for transfer gates, the 2nd electrode layer linked to a plate line of constant potential.

A capacitor which consists of ferroelectric membrane pinched between the said 1st and 2nd electrode layers.

A memory cell which has at least the thin film resistor connected between the said 1st and 2nd electrode layers.

[Claim 4] The 1st electrode layer linked to one main electrode region of a transistor for transfer gates, and this transistor for transfer gates, and the 2nd electrode layer linked to a plate line of constant potential, this -- narrow in the 1st and 2nd electrode layers -- a capacitor which consists of including a memory cell which it has at least, A semiconductor memory device, wherein leakage current of said transistor for transfer gates at the time of standby is controlled within the limits of 10^{-9} A [from 10^{-15} A].

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor memory device of super-large scale which used ferroelectric membrane, such as a Perovskite type crystal structure.

[0002]

[Description of the Prior Art] Development of the memory storage (ferroelectric memory) using the ferroelectric thin film layer called FRAM (ferro-electric random access memory: Ferroelectric Random Access Memory) is performed these days. It is already put in practical use by the part. The memory storage of the method which does not read the charge quantity accumulated in the capacitor, but reads the difference in the direction of remains charge polarization is possible for FRAM. For this reason, the ferroelectric memory is nonvolatile, and a memory content is not lost even after dropping a power supply. And when the thickness of a ferroelectric thin film layer is thin enough, reversal of spontaneous charge polarization is quick, writing high-speed as much as DRAM and read-out are possible, and it has the features, like it is. Creating a 1-bit memory cell by one transistor and one ferroelectric thin film capacitor, or since it can do, it is suitable also for large scale-ization.

[0003] to ferroelectric membrane suitable for this FRAM, prolonged maintenance of that remains charge polarization is large, that the temperature dependence of remains charge polarization is small, and remains charge polarization is possible — a certain thing (retention) is required. As a present ferroelectric material, although PZT (PZT) is mainly used, It is said in spite of the height (not less than 300°C) of Curie temperature, and the size of spontaneous charge polarization that it is hard to respond for the leaden (Pb) diffusion and evaporation which are the main ingredients taking place easily (500°C) at a comparatively low temperature etc. to minuteness making.

[0004] On the other hand, this invention persons as a substrate a strontium titanate (SrTiO_3 , following STO and abbreviation) single crystal as a lower electrode layer, For example, ruthenium acid strontium (SrRuO_3 , following SRO, and abbreviation), . Have a little bigger still grating constant as dielectric membrane than SRO. For example, barium titanate strontium (it $\text{Ba}_{1-x}\text{Sr}_x\text{-TiO}_3$ and) By choosing an abbreviation the following BSTO and growing epitaxially all of such lower electrode layers and dielectric membrane, BSTO was used as the distorted lattice (epitaxial effect), and it found out that c axial length of BSTO was artificially controllable. This epitaxial growth uses the RF magnetron sputtering method. By using the RF magnetron sputtering method, in a membrane formation process, a misfit rearrangement becomes comparatively difficult to enter and an epitaxial effect is acquired also in a thin film with the comparatively thick thickness of not less than 200 nm of thickness. As a result, by using BSTO of Ba rich presentation, even if strong dielectric Curie temperature was shifted to the elevated-temperature side, and the room temperature area showed big remains charge polarization and it raised temperature to about 85°C, it found out that sufficiently big remains charge polarization could be held. This remains charge polarization characteristic is the characteristic very desirable as ferroelectric membrane used for FRAM. For example, by 30 nm of thickness, when epitaxial of the BSTO ferroelectric membrane of 70% of Ba molar fraction is carried out by a sputtering technique on an SRO lower electrode layer, 0.2 C/m² and a big remains charge polarization value are obtained with very low operating voltage called **1V.

[0005] The circuit diagram of drive line drive type FRAM which combined one FET for transfer gates and one usual ferroelectric capacitor is shown in drawing 19. Drive line drive type FRAM shown in drawing 19 is the composition of the memory cell which makes one unit with the two capacitors 551,552 and the two transistors 651,652. In drawing 19, one terminal of the one capacitor 551 is connected to the bit line BL via the source of MOSFET651 built in the semiconductor substrate, and a drain, and another terminal is connected to drive line DL. Also with another capacitor 552, a terminal is connected to bit line (BL) * via the source of

MOSFET652, and a drain similarly [while], and drive line DL connection of another terminal is made. Two bit lines, BL and (BL) *, serve as a pair, and are connected to the same sense amplifiers 73 and 74. One line common about a drive line may be used, and it is connected to the drive circuit (DD) 71 of a drive line. The gate of MOSFET651,652 connected to one terminal of a capacitor is connected to the word line WL. The gate of two MOSFET651,652 inside the same cell is connected to the same word line WL. The word line WL is connected to the word line driving circuit 72.

[0006]In the circuitry shown in drawing 19, a bit line (BL, (BL) *) pair and drive line DL are arranged in parallel, and each of these lines are shared by two or more memory cells which are in the same line among two or more memory cells arranged at matrix form. On the other hand, the word line WL is shared by two or more memory cells which are in the same sequence among two or more memory cells which arranged so that it might intersect perpendicularly with the bit line BL, (BL) *, and drive line DL, and have been arranged at matrix form. Every one sense amplifiers 73 and 74 are connected to each bit line pair (BL, (BL) *), and each sense amplifiers 73 and 74 are controlled by sense amplifier activity signal ϕ_{act} . Furthermore, the bit line BL is connected with I/O via the input-and-output (I/O) connection circuits 75 and 76. Connection of BL and an I/O line is controlled by I/O connection signal $\phi_{I/O}$. Bit line (BL) * is connected with (I/O) * via the input-and-output (I/O) connection circuits 75 and 76.

[0007]Next, how to write in for making a digital signal memorize is explained to one memory cell in the ferroelectric memory of such composition using the timing chart of drawing 20 (a). In the timing chart of drawing 20 (a), the complementary potential corresponding to the signal which should be beforehand written in from the outside shall be given to input output line I/O and (I/O) *

* at the time of standby. For example, it shall be set as an I/O line here as potential corresponding to the information which the potential of 0V should write in 5V and a (I/O) * line. the precharge circuit which a bit line pair (BL, (BL) *) does not illustrate to drawing 19 at the time of standby -- beforehand -- being equipotential (potential of 0V) -- it is maintained. All also of a drive line and a substrate are kept at 0V.

[0008](**) In the specific line corresponding to the address information which shows the position of a memory cell which should be written in, cancel precharge signal ϕ_{pre} and change into the state (floating) where BL and (BL) * were separated from all voltage sources, before going into writing operation. A precharge state is not canceled about the bit line pair of a line besides this time. In order to connect BL, I/O and (BL) *, and (I/O) * to after an appropriate time, based on the address which should be written in, a $\phi_{I/O}$ signal is activated in a specific line. As a result, as for BL of this line, I/O and (BL) * become equipotential with (I/O) *, respectively. That is, the potential corresponding to the information which should be written in is supplied to a bit line pair (BL, (BL) *).

[0009](**) in order to stabilize the potential of the bit line pair (BL, (BL) *) introduced in this stage -- sense amplifier activity signal ϕ_{act} -- and -- activate the sense amplifiers 73 and 74 linked to this bit line pair (BL, (BL) *). At this time, the potential of BL is fixed to sufficient high voltage V_{cc} for charge polarization reversal of a capacitor by the activated sense amplifier.

[0010](**) Next, give potential required in order to make a transistor the word line WL at one in the specific sequence corresponding to the address information which shows the position which should be written in. As a result, MOSFET linked to the word line WL of this sequence will be turned on, and a capacitor and a bit line pair will be in a connected state. In other sequences which naturally do not correspond at this time, since a signal is not sent to a word line, a capacitor and a bit line are in the state separated electrically.

[0011](**) The potential of drive line DL is first fixed to 0V. Writing arises in the capacitor 551 connected with BL between DL by potential difference V_{cc} which drive line DL produced

between the bit lines BL fixed to high voltage V_{cc} while being fixed to 0V. Bit line (BL) * and drive line DL (since it is the same electric potential, change does not take place to the capacitor 552 connected with (BL) * between DL) which were fixed to 0V at this time [0012](**) Next, give sufficient high voltage V_{cc} for the polarization inversion of the capacitor 552 after a certain passage of time at drive line DL. Although writing arises in the capacitor 552 connected with bit line (BL) * between drive line DL by potential difference $-V_{cc}$ produced between bit line (BL) * (potential: 0) by having given drive line DL V_{cc} . Since the bit line BL (potential: V_{cc}) and drive line DL are equipotential at this time, change does not take place to the capacitor 551 connected with the bit line BL between drive line DL. As a result, the remanence by potential difference $-V_{cc}$ is stored in the capacitor 552 connected to the remanence by potential difference V_{cc} , and the bit line (BL) * line by the capacitor 551 connected to BL line.

[0013](**) End operation of writing by returning a word line signal to a non selection state, setting sense amplifier activity signal ϕ_{act} to 0V, canceling activation of the sense amplifiers 73 and 74 after an appropriate time, and starting the precharge of a bit line after an appropriate time. And all of a bit line, a word line, a drive line, and a substrate are maintained by 0V. That is, in the holding state after the end of writing operation, BL and (BL) * are held by the precharge circuit equipotential (0V). It is desirable to also keep equipotential the potential of a bit line pair and the potential of drive line DL. Since all the word lines are maintained at a non selection state (0V), a capacitor is held in the state where it was electrically separated from the bit line pair. MOSFET linked to a capacitor is OFF in the state where a power supply is not supplied. Therefore, the information written in the capacitor as a form of a remanence can hold digital information, also when a power supply is not supplied to a memory circuit.

[0014]Next, the method of reading digital information memorized by such a method by one memory cell in a memory circuit is explained using the read-out timing chart of drawing 20 (b).

[0015](**) First, cancel precharge of a bit line (BL, (BL) *) and make the bit line BL and (BL) * into floating.

[0016](**) Rank second, choose the one word line WL of the sequence corresponding to an address, and make MOSFET linked to the word line WL into an ON state. Thereby, a bit line (BL, (BL) *) is electrically connected with the capacitor of a memory cell. At this time, the state of OFF is maintained about the transistor linked to the word line WL with which it is not chosen other than this.

[0017](**) Rank second, choose drive line DL of the line corresponding to an address, and give low potential V_{read} for read-out to a drive line. By this, V_{read} will be added to two capacitors in a memory cell. Although the remanence of a mutually different direction is accumulated in these two capacitors, this remanence is not reversed with the low voltage of V_{read} . Therefore, this read-out can be read by un-destroying, without changing direction of the charge polarization of a capacitor. Generally the capacitor of a FRAM cell differs in the value of leakage current 100 to 1000 times by the direction of a remanence. Therefore, the value of the current which flows into the bit line BL and (BL) * changes with direction of the charge polarization written in the capacitor. Potential which is a little different to a bit line pair as a result is given.

[0018](**) In the stage which sufficient potential difference for a bit line pair produced, return the potential of WL and separate a bit line pair from a capacitor electrically. Then, the potential of DL line is also returned.

[0019](**) Here, carry out activity of the sense amplifiers 73 and 74 by choosing ϕ_{act} . Thereby, the potential difference of a bit line pair (BL, (BL) *) is amplified, and it fixes further. Since MOSFET of the memory cell is already come by off at this time, the amplified potential does not

affect the charge polarization of a capacitor.

[0020](**) The potential read to the bit line can be transmitted to I/O and (I/O) * by sending a signal to $\phi_{I/O}$. After information is transmitted to I/O and (I/O) *, a bit line pair and an input output line pair are separated. Then, a bit line pair is again returned to a precharge state, is kept at 0V and returned to the holding state of information. All of a word line, a drive line, and a substrate are kept at 0V.

[0021]As shown in the timing chart of drawing 20, at the time of standby of drive line drive type FRAM, all of a bit line, a word line, a drive line, and a substrate are kept at 0V. Internal node N_1 which comprises one main electrode region of 1 electrode layer [of the capacitor 551] and MOSFET651 is floating, and is too kept at 0V.

[0022]In read-out/writing operation, it changes into the state of ON of the selected word WL, and a pulse drive is performed for the both sides of drive line DL and the bit line BL, and (BL) * between 0V and V_{cc} . As shown in drawing 20, since the polarization inversion voltage of a ferroelectric capacitor is high, the pulse drive of the both sides of the bit line BL and (BL) * is carried out to drive line DL in order to have to carry out polarization inversion on the voltage of $\pm V_{cc}$. In order to carry out the pulse drive of the both sides of a drive line and a bit line, it has the demerit in which read-out/about 3 times as many writing time start as compared with DRAM.

[0023]In the ferroelectric capacitor which, on the other hand, uses the above-mentioned epitaxial BSTO film, a low voltage drive is possible. For this reason, the circuit structure shown in drawing 21 which uses the same plate line of constant potential as a usual DRAM type circuit is possible, and drive line DL is unnecessary. That is, one electrode layer of the ferroelectric capacitor 561 is connected to plate line PL, and the electrode layer of another side is connected to one main electrode region (source electrode) of MOSFET661. 1/2 of potential of plate line PL is kept constant V_{cc} . The main electrode region (drain electrode) of another side of MOSFET661 is connected to the bit line BL, and the gate electrode of MOSFET661 is connected to the word line WL. In read-out/writing operation, a pulse drive is performed only for the bit line BL and the word line WL among 0V with V_{cc} . If the bit line BL is made into V_{cc} and the word line WL is made into $V_{cc} + 1/2V_{cc}$ will be impressed between internal node N_1 and plate line PL. If a bit line is set to 0 and the word line WL is made into V_{cc} , $-1/2V_{cc}$ will be impressed between internal node N_1 and plate line PL. That is, the charge polarization of the capacitor 561 can be reversed on the voltage of $\pm 1/2V_{cc}$.

[0024]

[Problem(s) to be Solved by the Invention]In the circuitry shown in drawing 21, the bit line BL and plate line PL are maintained at $1/2V_{cc}$ at the time of standby, and bias of the substrate is carried out to negative substrate potential V_{ss} of for example, $-1V$. Internal node N_1 which comprises one main electrode region (source electrode) of 1 electrode layer [of the capacitor 561] and MOSFET661 is floating, and is too charged by $1/2V_{cc}$. At this time, substrate leakage current G becomes a problem. That is, since potential difference is added between the substrates by which bias was carried out to internal node N_1 charged by $1/2V_{cc}$ in early stages and negative, substrate leakage current G resulting from various defects arises. Therefore, it falls gradually, as a result, the voltage more than fixed is added between the two-electrodes layers of the ferroelectric capacitor 561, and the potential of internal node N_1 charged by $1/2V_{cc}$ in early stages has the problem of carrying out polarization inversion to one way.

[0025]Namely, the reversible electrode potential at the time of standby of internal node N_1 which comprises 1 electrode layer of one main electrode region (source electrode) of MOSFET661, and

the ferroelectric capacitor 561 as shown in drawing 22. It is determined by internal node N_1 , the leakage characteristic (substrate leakage characteristic) between substrates, and the leakage characteristic (capacitor leakage characteristic) between another electrode layer of internal node N_1 and the ferroelectric capacitor 561. Therefore, when the high insulating ferroelectric capacitor which has a leakage characteristic below 10^{-7} A/cm^2 with peak operating voltage by which normal use is carried out is used, Since the direction of the substrate leakage current of the part which has an oxygen induction defect etc. becomes large, the potential of internal node N_1 falls, and inconvenience which charge polarization reverses to one way across the voltage range which maintains strong charge polarization occurs.

[0026] In order to cope with this problem, in the conventional plate line cover-half FRAM, the refresh operation of a certain same at the time of standby as DRAM needed to be performed. The potential of internal node N_1 which fell by substrate leakage current G is *recharged* to $1/2V_{cc}$ by refresh operation. For example, by making a word line into ON potential periodically, maintaining bit line potential at $1/2V_{cc}$. The method of *recharging* the potential of internal node N_1 to $1/2V_{cc}$, the method of performing usual read-out / write-in refresh operation, and *recharging* the potential of internal node N_1 to $1/2V_{cc}$, etc. are mentioned.

[0027] However, the refresh operation at the time of such standby will need power consumption with excessive for FRAM of an article for sale originally refresh operation being unnecessary. Since the reading and writing from the outside cannot be performed during refresh operation, it becomes an obstacle of operation in a memory especially with a big degree of location. Therefore, there is a problem that a differentiation element when it compares with DRAM will decrease.

[0028] In view of the above-mentioned problem, this invention aims to let refresh operation provide unnecessary plate voltage clamp type FRAM at the time of standby.

[0029] Other purposes of this invention are to provide plate voltage clamp type FRAM in which about the same high-speed operation as DRAM is possible.

[0030] The purpose of further others of this invention is to provide plate voltage clamp type FRAM which has little power consumption and in which large-scale-izing is possible.

[0031]

[Means for Solving the Problem] To achieve the above objects, the 1st feature of this invention, A transistor for transfer gates, and the 1st electrode layer linked to one main electrode region of this transistor for transfer gates, . Narrow in the 2nd electrode layer linked to a plate line of fixed potential, and the 1st and 2nd electrode layers. Leakage current density in the maximum of driver voltage is a semiconductor memory device containing a memory cell which has at least a capacitor as for which more than 10^{-6} A/cm^2 consists of ferroelectric membrane which is below 1 A/cm^2 . Here, "a main electrode region of a transistor" is one mind of the source region of a transistor, or a drain area. Usually, since the source region and a drain area of a transistor are formed symmetrically, it is only the problem of a mere way of calling any are called the source region of a transistor or whether it is called a drain area of a transistor. As for a memory cell of this invention, it is needless to say that it is preferred to be arranged in the shape of an X-Y matrix. And in a semiconductor memory device of this invention, an important point is that leak conductance between electrode layers of a ferroelectric capacitor is set up more greatly than the maximum leak conductance between one main electrode region of a transistor, and a substrate.

[0032] By enlarging leak conductance of a capacitor, a polarization state can control voltage added between electrode layers of a ferroelectric capacitor at the time of standby below to a stably maintainable voltage range.

[0033] In order to enlarge leak conductance, ferroelectric membrane consists barium titanate of ferroelectric membrane used as the main ingredients, and as an alloying element, What is necessary is just to make it a rare earth element and BANAJIUM (V), niobium (Nb), chromium

(Cr), molybdenum (Mo), and at least one or more kinds of elements selected from tungsten (W) included 5% or less 0.01% or more.

[0034] $\text{SrBi}_2\text{Ta}_2\text{O}_9$ which uses as the main ingredients ferroelectric membrane which uses lead zirconate titanate as the main ingredients for ferroelectric membrane, or bismuth (Bi), It is preferred to make it at least one or more kinds of elements which were used as ferroelectric membrane, such as $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, and were chosen from transition metals, such as iron (Fe), manganese (Mn), and iridium (Ir), as an alloying element included 5% or less 0.01% or more.

[0035] It enables refresh operation to create unnecessary plate voltage clamp type FRAM as although the 1st feature of this invention increases the leakage characteristic of a ferroelectric capacitor intentionally, if it increases a leakage characteristic intentionally in this way, boil it. That is, reversible electrode potential of an internal node which is a node of 1 electrode layer of a capacitor and one main electrode region of MOSFET does not fall notably by setting up leakage current of a capacitor greatly rather than the maximum of substrate leakage current. That is, since change of reversible electrode potential of an internal node is settled in a voltage range which can maintain strong charge polarization, strong charge polarization does not reverse it. Therefore, refresh operation for maintaining an internal node at $1/2V_{cc}$ becomes unnecessary.

[0036] It is possible by setting up leakage current of a ferroelectric capacitor greatly to influence read-out/writing operation. If stored charge density of a ferroelectric capacitor is made into a minimum of $10\text{microC}/\text{cm}^2$ for a maximum of 300 ns, 1 bit of read-out/writing time of FRAM, Leakage current density to which 3% of the amount of stored charge dissipates by leak in read-out/writing time becomes $1\text{ A}/\text{cm}^2$ at the minimum. Therefore, if there is capacitor leakage current below a $1\text{ A}/\text{cm}^2$ grade when operating voltage is impressed, read-out/writing operation will not be influenced substantially. however, be momentary — as for leakage current in peak operating voltage, since there is a possibility that membraneous quality may deteriorate when a high current of an A/cm^2 order flows into ferroelectric membrane, it is desirably desirable to use below a $10^{-2}\text{ A}/\text{cm}^2$ grade.

[0037] Control of leakage current of a ferroelectric capacitor does not need to be based on a structure defect in a capacitor film, etc., and it is necessary to obtain it by a good method of reproducibility. It is not necessary to maintain outstanding ferroelectric property and to affect reliability, such as fatigue characteristics and breakdown.

[0038] Material which used ferroelectric membrane of a barium titanate series grown epitaxially which was mentioned above as a base as a material system excellent in such the characteristic especially, and doped a lanthan (La), niobium (Nb), etc. more than about 5% in 0.1% as an alloying element is desirable.

[0039] According to the 1st feature of this invention, a problem that refresh operation is needed at the time of standby peculiar-to-plate voltage clamp type FRAM is conquerable. As a result, high-speed reading and writing are possible, and it becomes possible to create FRAM of low power consumption.

[0040] The 1st electrode layer that connected the 2nd feature of this invention with one main electrode region of a transistor for transfer gates, and this transistor for transfer gates, and the 2nd electrode layer linked to a plate line of constant potential, It is a semiconductor memory device containing a memory cell which has at least a capacitor which consists of ferroelectric membrane pinched between the 1st and 2nd electrode layers, and the thin film resistor connected between the 1st and 2nd electrode layers. As for this thin film resistor, it is preferred that resistance in the maximum of driver voltage which should just consist of thin films which consist of a semiconductor or semimetal, and is added to a capacitor at the time of read-out/writing of a semiconductor memory device chooses below as $10^{15}\Omega$ in more than $10^9\Omega$. In the 1st feature of above-mentioned this invention, although leakage current which flows through an inside of each capacitor is used, in the 2nd feature of this invention, a thin film resistor is positively provided as external leakage resistance of each capacitor.

[0041]According to the 2nd feature of this invention, it enables refresh operation to create FRAM which has an unnecessary plate voltage clamp type circuit by connecting a thin film resistor to inter-electrode [of a capacitor] in parallel. It becomes possible like the 1st feature to keep potential of an internal node constant by missing current which flows into an internal node by substrate leak through a thin film resistor.

[0042]What is necessary is just more than a value from which stored charge does not escape through this thin film resistor as a lower limit of a thin film resistor at the time of reading-and-writing operation of a semiconductor memory device. If stored charge of a capacitor is set to a minimum of 10 fC(s) for 1 bit of read-out/writing time of FRAM for a maximum of 300 ns, leakage current to which 3% of the amount of stored charge dissipates by leak in read-out/writing time will be set to 1nA at the minimum. Therefore, if it is the resistance more than $10^9 \Omega$ when operating voltage of a semiconductor memory device is set to 1V, read-out/writing operation will not be influenced substantially. What is necessary is just to be able to miss current which flows in by substrate leak within polarization holding voltage as upper limit of resistance of a thin film resistor. setting the greatest substrate leakage current per cell to 10^{-16}A -- polarization holding voltage -- a minimum of -- if, and it is below $10^{15} \Omega$, potential of an internal node can be held stably. [0.1]

[0043]As a thin film resistor material which realizes suitable resistance for the 2nd feature of this invention, it can choose out of semiconductors, such as semimetals and Si, such as stable graphite, and germanium, thermally.

[0044]The 1st electrode layer that connected the 3rd feature of this invention with one main electrode region of a transistor for transfer gates, and this transistor for transfer gates, and the 2nd electrode layer linked to a plate line of constant potential, narrow in the 1st and 2nd electrode layers -- a capacitor which consists of ***** including a memory cell which it has at least, Leakage current of a transistor for transfer gates at the time of standby is the semiconductor memory device currently controlled within the limits of 10^{-9}A [from 10^{-15}A].

[0045]Although leakage current which flows through an inside of each capacitor, and leakage current which flows through an external thin film resistor of each capacitor are used for the 1st and 2nd features of above-mentioned this invention, respectively, it, In the 3rd feature of this invention, leakage current of a transistor for transfer gates at the time of standby is used.

[0046]According to the 3rd feature of this invention, it enables refresh operation to create unnecessary plate voltage clamp type FRAM by using leakage current of a transistor. It becomes possible to keep potential of an internal node constant-like the 1st and 2nd features by missing current which flows into an internal node by substrate leak using leakage current of a transistor.

[0047]As upper limit of leakage current, stored charge of a half-selection cell connected to a selected bit line and a non selection word line should just be below a value which does not escape via leakage current of a transistor at the time of reading and writing of a semiconductor memory device. In 1 bit of read-out/writing time of FRAM, if stored charge of a capacitor is set to a minimum of 10 fC(s) for a maximum of 300 ns, leakage current to which 3% of the amount of stored charge dissipates in read-out/writing time will be set to 1nA at the minimum. Therefore, if leakage current of a transistor is made below into 10^{-9}A , a memory state of half selection cell will not be influenced at the time of read-out/writing operation. If it sees from a viewpoint of power consumption, as small the one of leakage current as possible is desirable. What is necessary is just to be able to miss current which flows in by substrate leak within polarization holding voltage as a lower limit of leakage current. setting the maximum leakage current per cell to 10^{-16}A -- polarization holding voltage -- a minimum of -- if, and it is 10^{-16}A in the drain voltage 0.1V, potential of an internal node can be held stably, but more than 10^{-15}A is desirable, seeing a margin. [0.1]

[0048]What is necessary is just to set up threshold voltage of a transistor suitably as a method of controlling leakage current of a suitable transistor for the 3rd feature of this invention. When making a MOS transistor change from an OFF state to an ON state, in order to raise a single

figure size of drain current, it is necessary to increase about 70 mV of gate voltage. An ON state is in a state where drain current flows in more than 1microA here. Therefore, if threshold voltage is set as 700 mV, for example, in an OFF state of the gate voltage 0V, leakage current of 10^{-16} A lower 10 figures than 1microA will flow. Therefore, what is necessary is just to set threshold voltage as a value of 210 to about 630 mV, for example.

[0049]What is necessary is to set up threshold voltage greatly and just to hold to specific gate voltage corresponding to desirable leakage current as other methods of controlling leakage current of a suitable transistor for the 3rd feature of this invention, without dropping gate voltage on 0V also at the time of standby. If an example mentioned above is imitated, threshold voltage can be set as 800 mV and leakage current of a transistor can be controlled by the 280 to 730-mV thing to do for gate impression within the limits of 10^{-9} A [from 10^{-15} A] also at the time of standby.

[0050]

[Embodiment of the Invention]With reference to drawings, the semiconductor memory device concerning an embodiment of the invention is explained below. In the statement of a drawing, identical or similar numerals are given to the identical or similar portion. However, a drawing is typical and it should care about that the ratio of the relation between thickness and a plane size and the thickness of each class differs from an actual thing. Therefore, concrete thickness and size should be judged in consideration of the following explanation. Of course, the portion from which the relation and ratio of a mutual size differ also in between drawings is contained.

[0051](A 1st embodiment) The semiconductor memory device applied to a 1st embodiment of this invention using drawing 1 and drawing 2 is explained. Drawing 1 (a) and drawing 1 (b) are the sectional views of the semiconductor memory device which has a relation which intersects perpendicularly mutually. That is, the sectional view seen from the direction of A-A of drawing 1 (a) is drawing 1 (b), and the sectional view seen from the direction of B-B of drawing 1 (b) is drawing 1 (a). Drawing 2 is a circuit diagram of the principal part of the semiconductor memory device concerning a 1st embodiment of this invention which shows signs that the matrix configuration of the memory cell of drawing 1 was carried out.

[0052]First, an entire configuration is explained using drawing 2. The semiconductor memory device concerning a 1st embodiment of this invention, The thin film capacitors 501, 502, 503, —, 506 and — which use the ferroelectricity characteristic as shown in drawing 2. Two or more these thin film capacitors 501, 502, 503, —, 506, transistors (MOSFET) 601, 602, —, 606 for transfer gates connected and provided in —, and memory cells possessing — are arranged to matrix form. In drawing 2, the one capacitors 501, 502, 503, —, 506 and one electrode layer of — 551. It is connected via MOSFETs 601, 602, —, 606, the source of — 651, and the drain area which were built in the semiconductor substrate, without bit line BL_j , BL_{j+1} , and —, and another terminal is connected to plate line PL maintained at fixed potential $1/2V_{cc}$. MOSFETs 601, 602, —, 606 and the gate of — which were connected to one electrode layer of a capacitor are connected to word line WL_{i-1} , W_i , W_{i+1} , and —. And by the bit line drive circuit 701, drive bit line BL_j , BL_{j+1} , and —, and by the word line driving circuit 702. It is circuitry which drives word line WL_{i-1} , W_i , W_{i+1} , and —, controls MOSFETs 601, 602, —, 606 and the switch-on of — 651, and performs writing/call. And in the semiconductor memory device concerning a 1st embodiment of this invention, The transistors 601 and 602 and — each thin film capacitors 501 and 502, the leak conductance 301 and 302 between each capacitor electrode layer of —, and — One main electrode region (internal node) N_{601} , N_{602} . It is set to — more greatly than the leak conductance 401 and 402 between substrates, and —.

[0053]It returns to drawing 1 and the structure of a memory cell is explained. The memory cell (FRAM memory cell) of the semiconductor memory device concerning a 1st embodiment of this invention has an epitaxial capacitor possessing the ferroelectric thin film layer which doped La 0.5% to BSTO of 80% of the molar fraction of Ba. This FRAM memory cell forms the base plate 19 of the 2nd conductivity-type quantity impurity density on the substrate 1 of the 1st

conductivity type (p type), as shown in drawing 1, and it constitutes plate line PL shown in drawing 2. And the epitaxial capacitor which consists of the lower barrier metal layers 2, the 2nd electrode layer (lower electrode layer) 3, the ferroelectric membrane 4, the 1st electrode layer (upper electrode layer) 5, and the top barrier metal layers 6 on this base plate 19 is constituted. N (Ti, aluminum) and the lower electrode layer 3 of 10 nm of thickness the lower barrier metal layers 2 SrRuO₃ of 20 nm of thickness, and the ferroelectric membrane 4, A 25-nm-thick BSTO:La thin film and an upper electrode layer are N (Ti, aluminum) of 10 nm of thickness as a 20-nm-thick SrRuO₃ film and also the top barrier metal layers 6.

[0054] And nMOSFET which adjoins this epitaxial capacitor and has the 1st main electrode region (n⁺ source region) 52 and 2nd main electrode region (n⁺ drain area) 51 is constituted as a transistor for transfer gates. This nMOSFET has the gate electrodes 31a and 31b on the gate oxide 30 of the surface of the p type silicon layer 12 as a control electrode. The gate electrodes 31a and 31b are two-layer structures which consist of the poly Si gate layer 31a and the W gate layer 31b here. The silicide of refractory metals, such as refractory metals, such as Ti, Mo, and Co, or WSi₂, TiSi₂, MoSi₂, and CoSi₂, other than W gate layer, etc. may be used as the gate layer 31b. This gate electrode 31 accomplishes a part of word line 31. The word line 31 is perpendicularly extended at the space of those with two or more, and drawing 1 (a), as shown in drawing 2. Each nMOSFET is mutually separated by the element isolation insulation film 9.

[0055] As shown in drawing 1, the bit line contact plug 34 which consists of silicide etc. of the polycrystalline silicon (doped polysilicon), refractory metal, and refractory metal which added the impurity on the n⁺ drain area 51 is arranged, and it is connected to the bit line 35. The bit line 35 is extended in the direction which intersects perpendicularly with the word line 31. In the sectional view of drawing 1 (a), although the one bit line 35 is shown, as shown in the circuit diagram of drawing 2, of course, the X-Y matrix is constituted from two or more bit lines and two or more word lines.

[0056] As shown in drawing 1, the capacitor contact plug 14 which consists of n⁺ doped polysilicon is connected to the n⁺ source region 52. The word line 31 and the bit line 35 are mutually separated by the 1st interlayer insulation film 32 and the 2nd interlayer insulation film 33 which consist of an oxide film (SiO₂ film), a PSG film, a BPSG film, a nitride (Si₃N₄ film), etc. Furthermore on the bit line 35, the passivation films 36, such as an oxide film (SiO₂ film), a PSG film, a BPSG film, a nitride (Si₃N₄ film), or a polyimide film, are formed.

[0057] When the strong dielectric hysteresis characteristic of the epitaxial SRO/BSTO:La/SRO capacitor of the FRAM cell concerning a 1st embodiment of this invention was measured, it was checked that the characteristic as shown in drawing 3 is obtained. As shown in drawing 3, as for this epitaxial SRO/BSTO:La/SRO capacitor, the big charge polarization of remanence value $2Pr=40\text{microC/cm}^2$ is acquired in operation by $\pm 1.5\text{V}$. When the holding property of charge polarization was measured by the accelerated test in the temperature of 85 **, 100 **, and 120 ** and voltage was kept at less than $[\pm 0.4\text{V}]$ as shown in drawing 4, it was checked that a polarization state is held for 85 ** ten years. When the leakage current characteristic was measured, the characteristic as shown in drawing 5 was obtained, and the leakage characteristic where the range of 10^{-6}A/cm^2 to 10^{-4}A/cm^2 was stabilized was acquired in the voltage range within more than $\pm 0.2\text{V}$ $\pm 1.5\text{V}$.

[0058] After using the memory cell created by the above-mentioned process and writing in a ferroelectric capacitor by $\pm 1.5\text{V}$, When the plate line and the bit line were held to 1.5V, substrate potential was held to -1V and holding property was measured, even if it did not perform refresh operation, it was checked that a polarization state is held stably.

[0059] Next, the manufacturing method of the FRAM cell which starts a 1st embodiment of this invention using drawing 6 thru/or drawing 10 is explained.

[0060] (**) As first shown in drawing 6 (a), prepare the Si (100) board 1 of the 1st conductivity type (p type). The base plate 19 is formed in the surface of this p type substrate 1 by diffusing

the impurity of the 2nd conductivity type (n type) about 0.1 micrometer deep in the impurity density about $2 \times 10^{18} \text{ cm}^{-3}$ - $1 \times 10^{21} \text{ cm}^{-3}$, as shown in drawing 6 (b).

[0061](**) As shown in drawing 6 (c) after that, as the lower barrier metal layers 2 (**) N of 10 nm of thickness (Ti, aluminum), A BSTO:La thin film with a thickness of 25 nm which doped SrRuO_3 of 20 nm of thickness as the lower electrode layer 3, and doped La 0.5% to $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ as the ferroelectric membrane 4, As the upper electrode layer 5, as a 20-nm-thick SrRuO_3 film and also the top barrier metal layers 6 N (Ti, aluminum) of 10 nm of thickness, It grows epitaxially continuously, without taking out with the substrate temperature of 600 ** into the atmosphere by RF or DC sputtering technique, and the 1st insulator layer 7 is further formed with the plasma CVD method etc. which used TEOS gas as the raw material.

[0062](**) Next, as shown in drawing 6 (d), form the pattern of the photoresist 21 with photolithography technology, and form the 1st crevice 22 by etching by RIE etc. by using this photoresist 21 as a mask. Next, on the inside of this 1st crevice 22, and the 1st insulator layer, as shown in drawing 7 (e), the 2nd insulator layer 8 is formed conformal one.

[0063](**) Next, as shown in drawing 7 (f), form the mask pattern of the photoresist 23 with photolithography technology on the 2nd insulator layer 8. Etching of anisotropy RIE etc. removes the 2nd insulator layer 8 selectively by using this photoresist 23 as a mask. The 2nd insulator layer 8 is made to remain in the formation schedule part of the element separation insulator layer mentioned later by this etching. Since the 2nd insulator layer 8 of a side wall part remains, it means that the 2nd insulator layer 8 was left behind to the side attachment wall of the 1st crevice 22 by the self aryne although the 2nd insulator layer 8 of the pars basilaris ossis occipitalis of the 1st crevice 22 is removed at this time. The base plate 19 of the 2nd conductivity type (n^+ type) is exposed to the pars basilaris ossis occipitalis of the 1st crevice 22 as a node for single crystal Si growth.

[0064](**) As shown in drawing 7 (g) below, in order to remove the damaged layer of the Si surface exposed to the pars basilaris ossis occipitalis of the 1st crevice 22, perform gas phase etching which uses a hydrogen fluoride (HF) steam, after this gas phase etching, convey in a CVD room in a vacuum as it is, and form the single crystal Si layer 12 of the 1st conductivity type. Formation of the single crystal Si layer 12 of this 1st conductivity type, What is necessary is just to carry out selective epitaxial growth at 750 ** using SiH_4 gas with a pressure of 0.13 Pa and 0.01 Pa of diborane (B_2H_6) gas added as an acceptor impurity from the node for single crystal Si growth of the pars basilaris ossis occipitalis of the 1st crevice 22. After this selective epitaxial growth, as shown in drawing 8 (h), the 2nd insulator layer 8 is made into a stop layer, and flattening of the surface is carried out by the CMP method (chemical-and-mechanical-grinding method).

[0065](**) Next, as shown in drawing 8 (i), remove selectively the 2nd insulator layer 8 of the separation part between elements, the 1st insulator layer 7, the top barrier metal layers 6, and the upper electrode layer 5 by the RIE method etc. by using the single crystal Si layer 12 as a mask, and create the 2nd crevice (slot for separation between elements) 24. Alternative wet etching etc. may be used together at this time. Next, as shown in drawing 8 (j), the 3rd insulator layer 9 is embedded in the 2nd crevice (slot for separation between elements) 24, after that, as shown in drawing 9 (k), flattening of the surface is carried out by CMP, and the element separation insulator layer 9 is formed.

[0066](**) Next, as shown in drawing 9 (l), form the pattern of the photoresist 25 with photolithography technology, and this photoresist 25 is used as a mask, Using plasma etching, such as the RIE method, etching removal of the single crystal Si layer 12 is carried out selectively, and the opening of the 3rd crevice 26 and 4th crevice 27 is carried out. This the 3rd crevice 26 and 4th crevice 27 are a crevice for forming a capacitor contact plug. It is good to make it stop selectively as an etching condition at this time, using either the top barrier metal layers 6 thru/or the upper electrode layer 5 as a stopper. Next, poly Si film (doped polysilicon film) 14 having contained the 2nd conductivity-type (n type) impurities, such as Lynn (P), arsenic (As), and antimony (Sb), is deposited on the whole surface in about 200-nm thickness, as shown

in drawing 9 (m). The capacitor contact plug which consists of n^+ poly Si film 14 is formed in the 3rd and 4th crevices 26 and 27 by carrying out etchback of the whole surface by methods, such as CMP, as shown in drawing 10 (n) after that.

[0067](**) Next, as shown in drawing 10 (o), the gate oxide (gate dielectric film) 30 about 30–80 nm thick is formed. The doped polysilicon film 31a and the W film 31b are deposited continuously, and the pattern of the gate electrode (word line) 31 which consists of the poly Si gate layer 31a and the W gate layer 31b by etching of a publicly known lithography technology, RIE, etc. is formed. Then, the ion implantation of the arsenic ($^{75}\text{As}^+$) is carried out by using this gate electrode 31 as a mask, and the source region 52 and the drain area 51 of the 2nd conductivity type (n^+ type) are formed. Next, as shown in drawing 10 (p), the 1st interlayer insulation film 32 is formed on the gate electrode layer 31, the 2nd interlayer insulation film 33 is further formed on it, and flattening of the surface is carried out by the CMP method etc. And the 1st and 2nd interlayer insulation films 32 and 33 of the upper part of the n^+ drain area 51 and the gate dielectric film 30 are removed selectively, a crevice is formed, and the bit-contacts plugs 34, such as doped polysilicon, a refractory metal, and high-melting point metal silicide, are embedded in this crevice. Then, metal, such as refractory metals, such as W, Ti, and Mo, or aluminum, and Cu, is deposited with a vacuum deposition method, sputtering process, or a CVD method on the bit-contacts plug 34 and the 1st and 2nd interlayer insulation films 32 and 33. And the pattern of the bit line 35 as patterned metal, such as these refractory metals or aluminum, and Cu, by a lithography technology and RIE and shown in drawing 1 is formed. Then, if the passivation films 36, such as SiO_2 , PSG, BPSG, an Si_3N_4 film, or a polyimide film, are deposited further, FRAM shown in drawing 1 will be completed.

[0068](A 2nd embodiment) Drawing 11 is a sectional view of the semiconductor memory device concerning a 2nd embodiment of this invention. As shown in drawing 11, the semiconductor memory device concerning a 2nd embodiment of this invention is FRAM which inserted the thin film resistor 11 between the two electrodes of an epitaxial capacitor (2, 3, 4, 5, 6). Although drawing 2 explained by a 1st embodiment shows the leak conductance 301 and 302 between each capacitor electrode layer, and — as each thin film capacitors 501 and 502 and equivalent circuit expression of leakage current of — which flows through an inside. In the semiconductor memory device concerning a 2nd embodiment, the thin film resistor 11 is positively formed as each thin film capacitors 501 and 502, the external leakage resistance 301 and 302 of —, and —.

[0069]The epitaxial capacitor concerning a 2nd embodiment of this invention comprises the lower barrier metal layers 2, the 2nd electrode layer (lower electrode layer) 3, the ferroelectric membrane 4, the 1st electrode layer (upper electrode layer) 5, and the top barrier metal layers 6 like a 1st embodiment. And the thin film resistor 11 is arranged in contact with the end face of these 2nd electrode layer (lower electrode layer) 3 and the 1st electrode layer (upper electrode layer) 5. The thin film resistor 11 is a Si thin film with a thickness of 2 nm which doped Lynn (P) to the impurity density 10^{18}cm^{-3} grade. And according to the measurement result of the voltage-current characteristic, this thin film resistor 11 showed the resistance of 10^{11} to $10^{12}\Omega$ within the limits of 0.1V to 1.5V. The lower barrier metal layers 2 N (Ti, A.I. Artificial Intelligence) and the lower electrode layer 3 of 10 nm of thickness, As for SrRuO_3 of 20 nm of thickness, and the ferroelectric membrane 4, a 20-nm-thick SrRuO_3 film and the top barrier metal layers 6 of a 25-nm-thick insulating $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ thin film and the upper electrode layer 5 are N (Ti, A.I. Artificial Intelligence) of 10 nm of thickness.

[0070]As shown in drawing 11, the FRAM memory cell concerning a 2nd embodiment of this invention forms the base plate 19 of the 2nd conductivity-type quantity impurity density on the substrate 1 of the 1st conductivity type (p type), and constitutes plate line PL. Plate line PL is fixed to fixed potential. And on this base plate 19, the epitaxial capacitor (2, 3, 4, 5, 6) which inserted the thin film resistor 11 between two electrodes is arranged. nMOSFET which adjoins this epitaxial capacitor and has the 1st main electrode region (n^+ source region) 52 and 2nd main

electrode region (n^+ drain area) 51 is constituted as a transistor for transfer gates. This nMOSFET has the gate electrode 31 (31a, 31b) on the gate oxide 30 of the surface of the p type silicon layer 12 as a control electrode. This gate electrode 31 accomplishes a part of word line 31. The word line 31 is extended perpendicularly at the space of those (refer to drawing 2) with two or more, and drawing 11. Each nMOSFET is mutually separated by the element isolation insulation film 9, and the 1st electrode layer (upper electrode layer) 5 of an epitaxial capacitor and the top barrier metal layers 6 are also mutually separated by the element isolation insulation film 9.

[0071]As shown in drawing 11, on the n^+ drain area 51, the bit line contact plug 34 which consists of silicide of doped polysilicon, a refractory metal, or a refractory metal, etc. is arranged, and it is connected to the bit line 35. The bit line 35 is extended in the direction which intersects perpendicularly with the word line 31. On the sectional view of drawing 11, although the one bit line 35 is shown, of course, the X-Y matrix is constituted from two or more bit lines and two or more word lines (refer to drawing 2). And the capacitor contact plug 14 which consists of n^+ doped polysilicon is connected to the n^+ source region 52. The word line 31 and the bit line 35 are mutually separated by the 1st interlayer insulation film 32 and the 2nd interlayer insulation film 33 which consist of an oxide film (SiO_2 film), a PSG film, a BPSG film, a nitride (Si_3N_4 film), etc. Furthermore on the bit line 35, the passivation films 36, such as an oxide film (SiO_2 film), a PSG film, a BPSG film, a nitride (Si_3N_4 film), or a polyimide film, are formed.

[0072]After constituting a matrix and writing in an epitaxial capacitor by $\sim 1.5\text{V}$ by the memory cell shown in drawing 11, When the plate line and the bit line were held to 1.5V , substrate potential was held to -1V and holding property was measured, even if it did not perform refresh operation, it was checked that a polarization state is held stably.

[0073]What is necessary is just more than the value from which stored charge does not escape through the thin film resistor 11 as a lower limit of resistance of the thin film resistor 11 at the time of reading-and-writing operation of FRAM. For example, in 1 bit of read-out/writing time of FRAM, if stored charge of an epitaxial capacitor is set to a minimum of 10 fC(s) for a maximum of 300 ns , leakage current will be set to 1 nA at the minimum. This leakage current is leakage current to which 3% of the amount of stored charge dissipates in read-out/writing time.

Therefore, if it is the resistance more than $10^9\text{ }\Omega$ when operating voltage is set to 1V , read-out/writing operation will not be influenced substantially. What is necessary is just to be able to miss the current which flows in by substrate leak within polarization holding voltage as upper limit of resistance of the thin film resistor 11. For this reason, what is necessary will be to set the greatest substrate leakage current per cell to 10^{-16} A , and just to be able to miss within polarization holding voltage. therefore -- setting substrate leakage current to 10^{-16} A -- polarization holding voltage -- a minimum of -- if, and it is below $10^{15}\text{ }\Omega$, the potential of an internal node can be held stably. [0.1] As a thin film resistor material for realizing such resistance, a Ge film and the thin film of semimetals, such as thermally stable graphite, may be used in addition to the above-mentioned Si thin film. A single crystal, polycrystal, or amorphous any may be sufficient as these thin films.

[0074]Next, the manufacturing method of the FRAM cell which starts a 2nd embodiment of this invention using drawing 12 thru/or drawing 14 is explained.

[0075](**) The Si (100) board 1 of the 1st conductivity type (p type) is prepared first, Form the base plate 19 in the surface of this p type substrate 1, and as the lower barrier metal layers 2 on it N of 10 nm of thickness (Ti, A.I. Artificial Intelligence), As the lower electrode 3, as SrRuO_3 of 20 nm of thickness, and the dielectric film 4 A 25-nm-thick insulating $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ thin film, It grows epitaxially continuously as the upper electrode 5, without [a 20-nm-thick SrRuO_3 film and] taking out N (Ti, A.I. Artificial Intelligence) of 10 nm of thickness with the substrate. ... temperature of $600\text{ }^\circ\text{C}$ into the atmosphere by RF or DC sputtering technique as the top barrier metal layers 6 further. Furthermore, the 1st insulator layer 7 is formed with the plasma CVD

method etc. which carried out the raw material of the TEOS gas. And as shown in drawing 12 (a), the 1st crevice 22 is formed by etching by photolithography technology, RIE, etc.

[0076](**) Next, deposit Si thin film 11 with a thickness of 2 nm which doped Lynn (P) to the 10^{18}cm^{-3} grade as shown in drawing 12 (b) by a sputtering technique on the inside of this 1st crevice 22, and the 1st insulator layer. And as shown in drawing 12 (c), etching of anisotropy RIE etc. removes Si thin film 11 selectively.

[0077](**) Next, as shown in drawing 13 (d), form the 2nd insulator layer 8 conformal one on the inside of the 1st crevice 22, and the 1st insulator layer 7, and wrap in Si thin film 11. And as shown in drawing 13 (e), the mask pattern of the photoresist 28 is formed with photolithography technology on the 2nd insulator layer 8. Etching of anisotropy RIE etc. removes selectively the 2nd insulator layer 8 inside the 1st crevice 22 by using this photoresist 28 as a mask. Although the 2nd insulator layer 8 of the pars basilaris ossis occipitalis of the 1st crevice 22 is removed at this time, the 2nd insulator layer 8 of a side wall part remains. The base plate 19 of the 2nd conductivity type (n^+ type) is exposed to the pars basilaris ossis occipitalis of the 1st crevice 22 as a node for single crystal Si growth.

[0078](**) Remove the photoresist 28, and as shown in drawing 13 (f), form the mask pattern of the new photoresist 23. The heights which remove the 2nd insulator layer 8 selectively by etching of anisotropy RIE etc., and turn into a formation schedule part of the element separation insulator layer mentioned later from the 2nd insulator layer 8 are formed by using this photoresist 23 as a mask.

[0079](**) Next, in order to remove the damaged layer of the Si surface exposed to the pars basilaris ossis occipitalis of the 1st crevice 22, perform gas phase etching which uses a hydrogen fluoride (HF) steam, after this gas phase etching, convey in a CVD room in a vacuum as it is, and form the single crystal Si layer 12 of the 1st conductivity type. Then, as shown in drawing 14 (g), the 2nd insulator layer 8 is made into a stop layer, and flattening of the surface is carried out by the CMP method (chemical-and-mechanical-grinding method).

[0080](**) Next, as shown in drawing 14 (h), remove selectively the 2nd insulator layer 8 of the separation part between elements, the 1st insulator layer 7, the top barrier metal layers 6, and the upper electrode layer 5 by the RIE method etc. by using the single crystal Si layer 12 as a mask, and create the 2nd crevice (slot for separation between elements) 24. Then, the 3rd insulator layer 9 is embedded in the 2nd crevice (slot for separation between elements) 24, as shown in drawing 14 (i), flattening of the surface is carried out by CMP, and the element separation insulator layer 9 is formed.

[0081]After this, since it is fundamentally the same, explanation is abbreviated to the process after drawing 9 (l) explained by a 1st embodiment.

[0082]Drawing 15 is a sectional view of the semiconductor memory device concerning the modification of a 2nd embodiment of this invention. Like drawing 11, like, although the semiconductor memory device concerning this modification is FRAM which inserted the thin film resistor 11 between the two electrodes of an epitaxial capacitor (2, 3, 4, 5, 6). In drawing 15, the thin film resistor 11 goes via each end face of the 1st electrode layer (upper electrode layer) 5, the ferroelectric membrane 4, the 2nd electrode layer (lower electrode layer) 3, and the lower barrier metal layers 2 from the upper surface of the top barrier metal layers 6 of an epitaxial capacitor. Extended formation is carried out to the upper part of the base plate 19 of the 2nd conductivity type (n^+ type) exposed as a node for single crystal Si growth.

[0083]Next, the manufacturing method of the FRAM cell which starts the modification of a 2nd embodiment of this invention using drawing 16 thru/or drawing 18 is explained.

[0084](**) The Si (100) board 1 of the 1st conductivity type (p type) is prepared first. Form the base plate 19 in the surface of this p type substrate 1, and as the lower barrier metal layers 2 on it N of 10 nm of thickness (Ti, A.I. Artificial Intelligence). As the lower electrode 3, as SrRuO_3 of 20 nm of thickness, and the dielectric film 4 A 25-nm-thick insulating $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ thin film. It grows epitaxially continuously as the upper electrode 5, without [a 20-nm-thick SrRuO_3 film and] taking out N (Ti, A.I. Artificial Intelligence) of 10 nm of thickness with the substrate

temperature of 600 °C into the atmosphere by RF or DC sputtering technique as the top barrier metal layers 6 further. And as shown in drawing 16 (a), etching by RIE etc. is performed by using photoresist 38 as a mask, and the 1st crevice 22 is formed.

[0085](**) Next, deposit Si thin film 11 with a thickness of 2 nm which doped Phosphorus (P) to the 10^{18} cm^{-3} grade as shown in drawing 16 (b) by a sputtering technique on the inside of this 1st crevice 22, and the top barrier metal layers 6. And as shown in drawing 16 (c), the 1st insulator layer 7 is deposited on Si thin film 11 with the plasma CVD method etc. which carried out the raw material of the TEOS gas.

[0086](**) Next, as shown in drawing 17 (d), form the mask pattern of the photoresist 29 with photolithography technology on the 1st insulator layer 7, and this photoresist 29 is used as a mask. Etching of anisotropy RIE etc. removes selectively the 1st insulator layer 7 inside the 1st crevice 22. At this time, the 1st insulator layer 7 may remain in the side wall part of the 1st crevice 22. Then, as shown in drawing 17 (e), the 2nd insulator layer 8 is formed conformal one on the inside of the 1st crevice 22, and the 1st insulator layer 7.

[0087](**) Next, as shown in drawing 17 (f), form the mask pattern of the photoresist 23 with photolithography technology on the 2nd insulator layer 8. Etching of anisotropy RIE etc. removes the 2nd insulator layer 8 selectively by using this photoresist 23 as a mask. The 2nd insulator layer 8 is made to remain in the formation schedule part of the element separation insulator layer mentioned later by this etching. Although the 2nd insulator layer 8 of the pars basilaris ossis occipitalis of the 1st crevice 22 is removed at this time, the 2nd insulator layer 8 of a side wall part remains. Si thin film 11 is exposed to the pars basilaris ossis occipitalis of the 1st crevice 22 as a node for single crystal Si growth.

[0088](**) Next, in order to remove the damaged layer of the surface of Si thin film 11 exposed to the pars basilaris ossis occipitalis of the 1st crevice 22, perform gas phase etching which uses a hydrogen fluoride (HF) steam, after this gas phase etching, convey in a CVD room in a vacuum as it is, and form the single crystal Si layer 12 of the 1st conductivity type. By the gas phase etching of Si thin film 11, the base plate 19 may be exposed. Then, as shown in drawing 18 (g), the 2nd insulator layer 8 is made into a stop layer, and flattening of the surface is carried out by the CMP method (chemical-and-mechanical-grinding method).

[0089](**) Next, as shown in drawing 18 (h), remove selectively the 2nd insulator layer 8 of the separation part between elements, the 1st insulator layer 7, the top barrier metal layers 6, and the upper electrode layer 5 by the RIE method etc. by using the single crystal Si layer 12 as a mask, and create the 2nd crevice (slot for separation between elements) 24. Then, the 3rd insulator layer 9 is embedded in the 2nd crevice (slot for separation between elements) 24, as shown in drawing 18 (i), flattening of the surface is carried out by CMP, and the element separation insulator layer 9 is formed.

[0090] After this, since it is fundamentally the same, explanation is abbreviated to the process after drawing 9 (l) explained by a 1st embodiment.

[0091] (A 3rd embodiment) Although the semiconductor memory device concerning a 3rd embodiment of this invention is the same as the semiconductor memory device applied to a 1st embodiment in device structure, the ferroelectric membrane which constitutes an epitaxial capacitor differs. That is, the insulating $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ thin film was used instead of the BSTO:La thin film as ferroelectric membrane which constitutes an epitaxial capacitor. In the semiconductor memory device concerning a 3rd embodiment of this invention, the threshold voltage of the transistor for selection is set as 600 mV, and the leakage current at the time of standby of the transistor for selection is controlled. As a result, since the current which flows into an internal node by substrate leak can be missed using the leakage current of a transistor, it becomes possible to keep the potential of an internal node constant.

[0092] After constituting a matrix and writing in an epitaxial capacitor by $\pm 1.5\text{V}$ by this memory cell. When the plate line and the bit line were held to 1.5V, substrate potential was held to -1V and holding property was measured, even if it did not carry out refresh operation, it was checked that a polarization state is held stably.

[0093] (Other embodiments) As mentioned above, although this invention was explained using the

1st thru/or a 3rd embodiment, if this invention is limited, he should not understand the statement and the drawing concerning the statement of the above-mentioned 1st thru/or a 3rd embodiment. Various alternative embodiments, an example, and an investment technique will become clear [to a person skilled in the art] from this indication.

[0094]As dielectric materials of the perovskite type structure of this invention, in the empirical formula expressed with ABO_3 , as A, it may mainly consist of Ba(s), and at least one kind of element may replace the part among Sr or Ca. As B, multiple oxides and those dissolution systems, such as those dissolution systems, such as Ti, Sn, Zr, and Hf, and also $Mg_{1/3}Ta_{2/3}$, $Mg_{1/3}Nb_{2/3}$, $Zn_{1/3}Nb_{2/3}$, $Zn_{1/3}Ta_{2/3}$, can be used. It is desirable to include a rare earth element and V, Nb, Cr, Mo, and at least one or more kinds of elements selected from W 5% or less 0.01% or more as an element to dope.

[0095]Of course, it is also possible to use materials, such as PZT ($PbZr_{1-x}Ti_xO_3$) of a lead system, $SrBi_2Ta_2O_9$ containing bismuth (Bi), and $Bi_4Ti_3O_{12}$, as ferroelectric membrane. It is desirable to include at least one or more kinds of elements chosen from transition metals, such as Fe, Mn, and Ir, as an alloying element 5% or less 0.01% or more in the case of such materials.

[0096]As a transistor which constitutes a memory cell, if FET of SOI (SiliconOn Insulator) structure is used, it will become possible to carry out reduction good [of the substrate leakage current]. Therefore, it becomes possible to hold the potential of an internal node, without increasing the leakage current of a capacitor so much.

[0097]Thus, he should understand that this invention includes various embodiments etc. which have not been indicated here. Therefore, this invention is limited by only the invention specific matter which starts the statement of an appropriate claim from this indication.

[0098]

[Effect of the Invention]As explained in full detail above, according to this invention, plate voltage clamp type FRAM which does not need refresh operation can be provided.

[0099]According to this invention, high-speed reading and writing are possible, and FRAM of low power consumption can be provided.

[0100]Therefore, industrial worth of this invention is very large.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view of the FRAM memory cell concerning a 1st embodiment of this invention.

[Drawing 2] It is a figure showing the outline of the circuitry of the principal part of FRAM concerning a 1st embodiment of this invention.

[Drawing 3] It is a figure showing the ferroelectric property of the capacitor of FRAM concerning a 1st embodiment of this invention.

[Drawing 4] It is a figure showing the result of acceleration examination of the holding property of the FRAM memory cell concerning a 1st embodiment of this invention.

[Drawing 5] It is a figure showing the leakage current characteristic of the capacitor of FRAM concerning a 1st embodiment of this invention.

[Drawing 6] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 1st embodiment of this invention (the 1).

[Drawing 7] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 1st embodiment of this invention (the 2).

[Drawing 8] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 1st embodiment of this invention (the 3).

[Drawing 9] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 1st embodiment of this invention (the 4).

[Drawing 10] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 1st embodiment of this invention (the 5).

[Drawing 11] It is a sectional view of the FRAM memory cell concerning a 2nd embodiment of this invention.

[Drawing 12] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 2nd embodiment of this invention (the 1).

[Drawing 13] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 2nd embodiment of this invention (the 2).

[Drawing 14] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning a 2nd embodiment of this invention (the 3).

[Drawing 15] It is a sectional view of the FRAM memory cell concerning the modification of a 2nd embodiment of this invention.

[Drawing 16] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning the modification of a 2nd embodiment of this invention (the 1).

[Drawing 17] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning the modification of a 2nd embodiment of this invention (the 2).

[Drawing 18] It is a process order sectional view for explaining the manufacturing process of the FRAM memory cell concerning the modification of a 2nd embodiment of this invention (the 3).

[Drawing 19] It is a circuit diagram of drive line drive type FRAM.

[Drawing 20] It is a timing chart explaining operation of drive line drive type FRAM.

[Drawing 21] It is a circuit diagram of the FRAM memory cell of the conventional plate line cover half.

[Drawing 22] It is a figure showing the leakage current characteristic of the FRAM memory cell of the conventional plate line cover half.

[Description of Notations]

- 1 Substrate
- 2 Lower barrier metal layers
- 3 Lower electrode layer
- 4 Ferroelectric membrane
- 5 Upper electrode layer
- 6 Top barrier metal layers
- 7 The 1st insulator layer
- 8 The 2nd insulator layer

9 The 3rd insulator layer (element separation insulator layer)

11 Thin film resistor

12 Single crystal silicon layer

14 Poly Si film (capacitor contact plug)

19 Base plate (plate line)

21, 23, 25, 28, 29, and 38 Photoresist

22 The 1st crevice

24 The 2nd crevice

26 The 3rd crevice

27 The 4th crevice

30 Gate dielectric film

31 Word line

31a Poly Si gate layer

31b W gate layer

32 The 1st interlayer insulation film

33 The 2nd interlayer insulation film

34 Bit line contact plug

35 Bit line

36 Passivation film

51 Drain area

52 Source region

301-306 Capacitor leak conductance

401-406 Substrate leak conductance

501-506 Capacitor part

601 - 606 MOSFET

701 Bit line drive circuit

702 Word line driving circuit

703 Sense amplifier

BL_j and BL_{j+1} bit line

WL_{i-1} , WL_i , and WL_{i+1} word line

PL plate line

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274429

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl. ⁵	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242			4 5 1
27/10	4 5 1		6 7 1 C
21/8247		29/78	3 7 1
29/788			

審査請求 未請求 請求項の数 4 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平10-70617

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

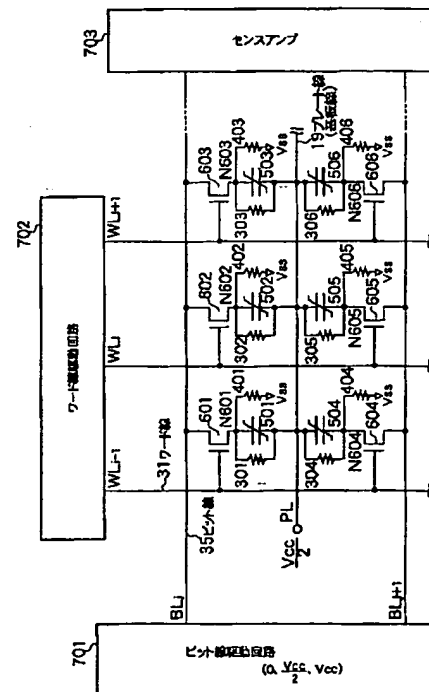
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 高速読み書きが可能で低消費電力の F R A M を提供すること。

【解決手段】 トランジスタ 601~606 と強誘電体キャパシタ 501~506 からなるセルをマトリクス状に配置して構成し、強誘電体キャパシタ 501~506 のリークコンダクタンス 301~306 を意図的に増大させることによって、待機時にインターナルノード N 601~606 から基板等へ流れるリークコンダクタンス 401~406 をキャンセルし、常にインターナルノード N 601~606 の電位を一定にする。この結果、安定な分極状態の保持が可能になり、プレート電位固定型 F R A M に特有のリフレッシュ動作が不要になる。



1

【特許請求の範囲】

【請求項 1】 転送ゲート用トランジスタと、

該転送ゲート用トランジスタの一方の主電極領域と接続した第 1 の電極層、一定電位のプレート線に接続した第 2 の電極層と、該第 1 および第 2 の電極層に挟まれ、駆動電圧の最大値におけるリーク電流密度が 10^{-6} A/cm^2 以上、 1 A/cm^2 以下である強誘電体薄膜からなるキャパシタとを少なくとも有するメモリセルを含むことを特徴とする半導体記憶装置。

【請求項 2】 前記強誘電体薄膜はシリコン (Si) 基板上にエピタキシャル成長した、チタン酸バリウムを主成分とする強誘電体薄膜であり、添加元素として、希土類元素およびバナジウム (V)、ニオブ (Nb)、クロム (Cr)、モリブデン (Mo)、タングステン (W) の中から選択した少なくとも 1 種類以上の元素を、0.01% 以上、5% 以下含むことを特徴とする、請求項 1 記載の半導体記憶装置。

【請求項 3】 転送ゲート用トランジスタと、該転送ゲート用トランジスタの一方の主電極領域と接続した第 1 の電極層、一定電位のプレート線に接続した第 2 の電極層と、前記第 1 及び第 2 の電極層間に挟まれた強誘電体薄膜からなるキャパシタと、前記第 1 及び第 2 の電極層間に接続された薄膜抵抗とを少なくとも有するメモリセルを含むことを特徴とする半導体記憶装置。

【請求項 4】 転送ゲート用トランジスタと、該転送ゲート用トランジスタの一方の主電極領域と接続した第 1 の電極層、一定電位のプレート線に接続した第 2 の電極層と、該第 1 および第 2 の電極層に挟まれた強誘電体薄膜からなるキャパシタとを少なくとも有するメモリセルを含み、スタンバイ時における前記転送ゲート用トランジスタのリーク電流が 10^{-15} A から 10^{-9} A の範囲内に制御されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ペロブスカイト型結晶構造などの強誘電体薄膜を用いた大容量の半導体記憶装置に関する。

【0002】

【従来の技術】 最近、FRAM (フェロエレクトリック・ランダム・アクセス・メモリ: Ferroelectric Random Access Memory) と称せられる強誘電体薄膜層を用いた記憶装置 (強誘電体メモリ) の開発が行われており、一部にはすでに実用化されている。FRAM はキャパシタに蓄積された電荷量を読み出すのではなく、残留誘電分極の方向の違いを読み出す方式の記憶装置が可能である。このため強誘電体メモリは不揮発性であり、電源を落とした後も記憶内容が失われない。しかも強誘電体薄膜層の膜厚が充分薄

2

い場合には自発誘電分極の反転が速く、DRAM 並みに高速の書き込み、読み出しが可能であるなどの特徴を持つ。また、1 ビットのメモリセルを一つのトランジスタと一つの強誘電体薄膜キャパシタで作成することかできるため、大容量化にも適している。

【0003】 この FRAM に適した強誘電体薄膜には、残留誘電分極が大きいこと、残留誘電分極の温度依存性が小さいこと、残留誘電分極の長時間保持が可能であること (リテンション) などが必要である。現在強誘電体材料としては、主としてジルコン酸チタン酸鉛 (PZT) が用いられているが、キュリー温度の高さ (300°C 以上) や、自発誘電分極の大きさにもかかわらず、主成分である鉛 (Pb) の拡散および蒸発が比較的低い温度で起こりやすい (500°C) などのために、微細化には対応しにくいといわれている。

【0004】 これに対して本発明者らは、基板としてチタン酸ストロンチウム (SrTiO_3 、以下 STO と略称) 単結晶を、下部電極層として、例えば、ルテニウム酸ストロンチウム (SrRuO_3 、以下 SRO と略称) を、さらに誘電体薄膜として SRO よりやや大きな格子定数を持つ、例えば、チタン酸バリウムストロンチウム ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、以下 BSTO と略称) を選択し、これらの下部電極層及び誘電体薄膜を全てエピタキシャル成長させることにより (エピタキシャル効果により)、BSTO を歪格子とし、BSTO の c 軸長を人工的に制御できることを見出した。このエピタキシャル成長は、RF マグネトロン・スパッタ法を用いる。RF マグネトロン・スパッタ法を用いることで成膜過程中で、ミスフィット転位が比較的に入りにくくなり、膜厚 200 nm 以上の比較的厚い膜厚をもつ薄膜においても、エピタキシャル効果が得られる。その結果、Ba リッチ組成の BSTO を使用することによって、強誘電キュリー温度を高温側にシフトさせ、室温領域で大きな残留誘電分極を示し、かつ 85°C 程度まで温度を上げてても十分な大きな残留誘電分極を保持できることを見出した。この残留誘電分極特性は、FRAM に用いる強誘電体薄膜として非常に好ましい特性である。例えば、膜厚 30 nm で Ba 分率 70% の BSTO 強誘電体薄膜を、SRO 下部電極層上にスパッタ法によりエピタキシャルさせた場合、 $\pm 1 \text{ V}$ という非常に低い動作電圧で、 0.2 C/m^2 と大きな残留誘電分極値が得られている。

【0005】 1 個の転送ゲート用 FET と 1 個の通常の強誘電体キャパシタを組合せた、ドライブ線駆動型の FRAM の回路図を図 19 に示す。図 19 に示すドライブ線駆動型の FRAM は 2 つのキャパシタ 551、552 と 2 つのトランジスタ 651、652 とで一つのユニットをなすメモリセルの構成である。図 19 において、1 つのキャパシタ 551 の一方の端子は、半導体基板内に造り込まれた MOSFET 651 のソース、ドレインを介してビット線 BL に接続され、もう一方の端子はド

3

ライブ線DLに接続される。もう1つのキャパシタ552についても、同様に一方の端子をMOSFET652のソース、ドレインを介してビット線(BL)*に接続され、もう一方の端子をドライブ線DLに接続される。なお、BLと(BL)*の2本のビット線は、対となって同一のセンスアンプ73、74に接続される。また、ドライブ線については共通な一本の線で良く、ドライブ線の駆動回路(DD)71に接続される。キャパシタの一方の端子に接続されたMOSFET651、652のゲートは、ワード線WLに接続される。同一セル内部の2つのMOSFET651、652のゲートは同一のワード線WLに接続される。ワード線WLは、ワード線駆動回路72に接続される。

【0006】図19に示した回路構成においては、ビット線(BL、(BL)*)対及びドライブ線DLが平行に配置され、これらの各線は、マトリクス状に配置されている複数のメモリセルのうち、同じ行にある複数のメモリセルによって共有されている。一方、ワード線WLはビット線BL、(BL)*、ドライブ線DLと直交するように配置しており、マトリクス状に配置された複数のメモリセルのうち、同じ列にある複数のメモリセルによって共有されている。それぞれのビット線対(BL、(BL)*)に1つずつ、センスアンプ73、74が接続されており、個々のセンスアンプ73、74は、センスアンプ活性信号 ϕ_{act} によって制御されている。さらにビット線BLは、入出力(I/O)接続回路75、76を介して、I/Oと接続される。BLとI/O線の接続は、I/O接続信号 $\phi_{i/o}$ によって制御される。ビット線(BL)*は、入出力(I/O)接続回路75、76を介して(I/O)*と接続される。

【0007】次に、このような構成の強誘電体メモリの中の1つのメモリセルに、デジタル信号を記憶させるための書き込み方法について、図20(a)のタイミングチャートを用いて説明する。図20(a)のタイミングチャートにおいて、待機時には、入出力線I/O及び(I/O)*には、予め外部から書き込むべき信号に対応する相補的な電位が与えられているものとする。例えば、ここでは、I/O線に5V、(I/O)*線に0Vの電位が書き込むべき情報に対応する電位として設定されているものとする。また、待機時にはビット線対(BL、(BL)*)は、図19には図示しないプリチャージ回路によって予め等電位(0Vの電位)に保たれている。さらに、ドライブ線および基板も、全て0Vに保たれている。

【0008】(イ)書き込み動作に入る前に、書き込むべきメモリセルの位置を示すアドレス情報に対応する特定の行において、プリチャージ信号 ϕ_{pre} を解除して、BL及び(BL)*をあらゆる電圧源から切り離された状態(フローティング状態)にする。なおこのとき他の行のビット線対については、プレチャージ状態を解除し

4

ない。しかる後に、BLとI/O及び(BL)*と(I/O)*を接続するために、書き込むべきアドレスに基づき特定の行において、 $\phi_{i/o}$ 信号を活性化する。この結果、この行のBLはI/Oと、(BL)*は(I/O)*と、それぞれ等電位になる。即ち、書き込むべき情報に対応する電位が、ビット線対(BL、(BL)*)に供給される。

【0009】(ロ)この段階で導入されたビット線対(BL、(BL)*)の電位を安定化するために、センスアンプ活性信号 ϕ_{act} によって、このビット線対(BL、(BL)*)に接続するセンスアンプ73、74を活性化する。このとき、BLの電位は、活性化されたセンスアンプによりキャパシタの誘電分極反転に十分な高い電圧 V_{cc} に固定される。

【0010】(ハ)次に、書き込むべき位置を示すアドレス情報に対応する特定の列において、ワード線WLにトランジスタをオンにするために必要な電位を与える。この結果、この列のワード線WLに接続するMOSFETがオン状態になり、キャパシタとビット線対とが接続状態になる。当然このときに該当しない他の列においては、ワード線に信号を送らないので、キャパシタとビット線は電氣的に切り離されたままの状態にある。

【0011】(ニ)ドライブ線DLの電位は、先ず0Vに固定される。ドライブ線DLが、0Vに固定されている間に、高い電圧 V_{cc} に固定されたビット線BLとの間に生じた電位差 V_{cc} により、BLとDL間に接続されたキャパシタ551に書き込みが生じる。このとき0Vに固定されたビット線(BL)*とドライブ線DL(は同電位なので、(BL)*とDL間に接続されたキャパシタ552には変化が起こらない。

【0012】(ホ)次に、ある時間の経過の後に、ドライブ線DLにキャパシタ552の分極反転に十分な高い電圧 V_{cc} を与える。ドライブ線DLに V_{cc} を与えたことにより、ビット線(BL)* (電位:0)との間に生じた電位差 $-V_{cc}$ により、ビット線(BL)*とドライブ線DL間に接続されたキャパシタ552に書き込みが生じるが、このときビット線BL (電位: V_{cc})とドライブ線DLは等電位なので、ビット線BLとドライブ線DL間に接続されたキャパシタ551には変化が起こらない。この結果、BL線に接続されたキャパシタ551には電位差 V_{cc} による残留分極、ビット線(BL)*線に接続されたキャパシタ552には電位差 $-V_{cc}$ による残留分極が蓄えられる。

【0013】(ヘ)しかる後に、ワード線信号を非選択状態に戻し、センスアンプ活性信号 ϕ_{act} を0Vにし、センスアンプ73、74の活性化を解除し、ビット線のプレチャージを開始することにより、書き込みの動作は終了する。そして、ビット線、ワード線、ドライブ線および基板は全て0Vに維持される。すなわち、書き込み動作終了後の保持状態においては、BL、(BL)*はプリ

チャージ回路により等電位(0V)に保持される。また、ビット線対の電位とドライブ線DLの電位も等電位に保つことが望ましい。また、全てのワード線は非選択状態(0V)に保たれるために、キャパシタはビット線対から電氣的に切り離された状態で保持される。キャパシタに接続するMOSFETは、電源が供給されない状態ではOFFであり、従ってキャパシタに残留分極の形として書き込まれた情報は、メモリ回路に電源が供給されない場合にも、デジタル情報を保持することができる。

【0014】次に、このような方法でメモリ回路の中の1つのメモリセルに記憶された、デジタル情報を読み出す方法について、図20(b)の読み出しタイミングチャートを用いて説明する。

【0015】(イ)まず、ビット線(BL, (BL)*)のプリチャージを解除して、ビット線BL, (BL)*をフローティング状態にする。

【0016】(ロ)次いで、アドレスに対応した列の一本のワード線WLを選択して、ワード線WLに接続するMOSFETをオン状態にする。これにより、メモリセルのキャパシタと、ビット線(BL, (BL)*)が電氣的に接続される。このとき、これ以外の選択されないワード線WLに接続するトランジスタについては、オフの状態が保たれる。

【0017】(ハ)次いで、アドレスに対応した行のドライブ線DLを選択し、読み出し用の低い電位V_{read}をドライブ線に与える。これにより、メモリセル内の2つのキャパシタにV_{read}が加わることになる。この2つのキャパシタには、互いに異なる方向の残留分極が蓄積されているが、この残留分極はV_{read}の低い電圧によって反転することはない。従ってこの読み出しは、キャパシタの誘電分極の向きを変えことなく、非破壊で読み出すことが可能である。また、FRAMセルのキャパシタは、一般に残留分極の方向によってリーク電流の値が100~1000倍異なる。従って、ビット線BLと(BL)*に流れ込む電流の値は、キャパシタに書き込まれた誘電分極の向きにより異なる。結果的にビット線対に対して若干異なる電位を与える。

【0018】(ニ)ビット線対に十分な電位差が生じた段階で、WLの電位を戻し、キャパシタと、ビット線対を電氣的に切り離す。この後、DL線の電位も元に戻す。

【0019】(ホ)ここで、φ_{acc}を選択することにより、センスアンプ73, 74を活性する。これにより、ビット線対(BL, (BL)*)の電位差を増幅し、さらに固定する。このとき、既にメモリセルのMOSFETがオフになっているため、増幅された電位が、キャパシタの誘電分極に影響を与えない。

【0020】(ヘ)ビット線に読み出された電位は、φ_{1/0}に信号を送ることにより、I/O及び(I/O)*

に転送することが可能である。情報がI/O, (I/O)*に転送された後、ビット線対と入出力線対は切り離される。その後、ビット線対は再びプリチャージ状態に戻され、0Vに保たれ、情報の保持状態に戻される。また、ワード線、ドライブ線および基板は全て0Vに保たれる。

【0021】図20のタイミングチャートに示したように、ドライブ線駆動型のFRAMの待機時には、ビット線、ワード線、ドライブ線および基板は全て0Vに保たれており、またキャパシタ551の1電極層とMOSFET651の1主電極領域で構成されるインターナルノードN_iはフローティングであり、やはり0Vに保たれる。

【0022】読み出し/書き込み動作においては、選択したワードWLをONの状態にし、ドライブ線DLおよびビット線BL, (BL)*の双方を0VとV_{cc}間でパルス駆動を行う。図20に示すように、ドライブ線DLとビット線BL, (BL)*の双方をパルス駆動するのは、強誘電体キャパシタの分極反転電圧が高いため、±V_{cc}の電圧で分極反転させなければならないためである。ドライブ線とビット線の双方をパルス駆動するため、DRAMに比較して約3倍の読み出し/書き込み時間がかかるという短所を有している。

【0023】一方、上記エビタキシャルBSTO膜を使用した強誘電体キャパシタにおいては低電圧駆動が可能である。このため、通常のDRAM型の回路と同様の、一定電位のプレート線を使用した図21に示す回路構成が可能で、ドライブ線DLは不要である。すなわち、強誘電体キャパシタ561の1つの電極層はプレート線PLに接続され、他方の電極層はMOSFET661の1つの主電極領域(ソース電極)に接続されている。プレート線PLの電位は1/2V_{cc}一定に保たれている。更に、MOSFET661の他方の主電極領域(ドレイン電極)はビット線BLに接続され、MOSFET661のゲート電極はワード線WLに接続されている。読み出し/書き込み動作においては、ビット線BL及びワード線WLのみをV_{cc}と0Vの間でパルス駆動を行う。ビット線BLをV_{cc}、ワード線WLをV_{cc}とすればインターナルノードN_iとプレート線PL間には+1/2V_{cc}が印加され、ビット線を0、ワード線WLをV_{cc}とすれば、インターナルノードN_iとプレート線PL間には-1/2V_{cc}が印加される。すなわち、±1/2V_{cc}の電圧でキャパシタ561の誘電分極を反転させることができる。

【0024】

【発明が解決しようとする課題】図21に示す回路構成においては、待機時にビット線BLおよびプレート線PLは1/2V_{cc}に保たれており、基板は例えば-1Vの負の基板電位V_{ss}にバイアスされている。またキャパシタ561の1電極層とMOSFET661の1主電極領

域（ソース電極）で構成されるインターナルノードN_iはフローティングであり、やはり $1/2 V_{cc}$ にチャージされる。このときに問題になるのが基板リーク電流Gである。すなわち、初期に $1/2 V_{cc}$ にチャージされたインターナルノードN_iと負にバイアスされた基板の間には電位差が加わっているため、種々の欠陥に起因した基板リーク電流Gが生じる。従って、初期に $1/2 V_{cc}$ にチャージされたインターナルノードN_iの電位は徐々に低下していき、その結果、強誘電体キャパシタ561の両電極層間に一定以上の電圧が加わり一方方向に分極反転してしまうという問題点がある。

【0025】すなわち図22に示すように、MOSFET661の主電極領域（ソース電極）と強誘電体キャパシタ561の一電極層から構成されるインターナルノードN_iの待機時の平衡電位は、インターナルノードN_iと基板の間のリーク特性（基板リーク特性）と、インターナルノードN_iと強誘電体キャパシタ561のもう一つの電極層の間のリーク特性（キャパシタリーク特性）によって決定される。従って、通常使用されるような最大動作電圧で $10^{-7} A/cm^2$ 以下のリーク特性を有する絶縁性の高い強誘電体キャパシタを使用した場合、酸素誘起欠陥などを有する個所の基板リーク電流の方が大きくなるためにインターナルノードN_iの電位が下がり、強誘電分極を維持する電圧範囲を超えて誘電分極が一方方向に反転してしまうような不都合が発生する。

【0026】この問題点に対処するため、従来のプレート線固定型FRAMにおいては、待機時にDRAMと同様の何らかのリフレッシュ動作を行う必要が生じた。基板リーク電流Gによって下がったインターナルノードN_iの電位をリフレッシュ動作により $1/2 V_{cc}$ までリチャージする。例えば、ビット線電位を $1/2 V_{cc}$ に保ったまま定期的にワード線をON電位にすることによって、インターナルノードN_iの電位を $1/2 V_{cc}$ にリチャージする方法や、通常の読み出し/書き込みリフレッシュ動作を行ってインターナルノードN_iの電位を $1/2 V_{cc}$ にリチャージする方法などが挙げられる。

【0027】しかしながら、このような待機時のリフレッシュ動作は、本来リフレッシュ動作が不要なことが売り物のFRAMにとって余分な消費電力を必要とすることになる。また、リフレッシュ動作中は外部からの読み書きができないため、特に集積度の大きなメモリにおいては動作の障害になる。従ってDRAMと比較したときの差別化要素が少なくなってしまうという問題点がある。

【0028】上記問題点を鑑み、本発明は、待機時にリフレッシュ動作が不要なプレート電位固定型FRAMを提供することを目的とする。

【0029】本発明の他の目的は、DRAM並の高速動作が可能なプレート電位固定型FRAMを提供することである。

【0030】本発明のさらに他の目的は、消費電力が少なく、大容量化が可能なプレート電位固定型FRAMを提供することである。

【0031】

【課題を解決するための手段】上記目的を達成するために本発明の第1の特徴は、転送ゲート用トランジスタと、この転送ゲート用トランジスタの一方の主電極領域と接続した第1の電極層と、一定の電位のプレート線に接続した第2の電極層と、第1および第2の電極層に挟まれ、駆動電圧の最大値におけるリーク電流密度が $10^{-6} A/cm^2$ 以上、 $1 A/cm^2$ 以下である強誘電体薄膜からなるキャパシタとを少なくとも有するメモリセルを含む半導体記憶装置であることである。ここで、「トランジスタの主電極領域」とは、トランジスタのソース領域もしくはドレイン領域の一方の意である。通常トランジスタのソース領域およびドレイン領域は、対称に形成されているので、いずれをトランジスタのソース領域と呼ぶか、トランジスタのドレイン領域と呼ぶかは、単なる呼び方の問題にすぎない。本発明のメモリセルは、X-Yマトリクス状に配置されることが好ましいことは勿論である。そして、本発明の半導体記憶装置において重要な点は、強誘電体キャパシタの電極層間のリークコンダクタンスが、トランジスタの一方の主電極領域と基板の間の最大リークコンダクタンスより大きく設定されていることである。

【0032】キャパシタのリークコンダクタンスを大きくすることにより、待機時において強誘電体キャパシタの電極層間に加わる電圧を分極状態が安定に維持できる電圧範囲以下に抑制することができる。

【0033】リークコンダクタンスを大きくするためには強誘電体薄膜はチタン酸バリウムを主成分とする強誘電体薄膜からなり、添加元素として、希土類元素およびバナジウム(V)、ニオブ(Nb)、クロム(Cr)、モリブデン(Mo)、タングステン(W)の中から選択した少なくとも1種類以上の元素を、0.01%以上、5%以下含むようにすればよい。

【0034】また、強誘電体薄膜をチタン酸ジルコン酸鉛を主成分とする強誘電体薄膜あるいはビスマス(Bi)を主成分とするS_rBi₂Ta₂O₉や、Bi₄Ti₃O₁₂などの強誘電体薄膜とし、添加元素として鉄(Fe)、マンガン(Mn)、イリジウム(Ir)などの遷移金属の中から選択した少なくとも1種類以上の元素を、0.01%以上、5%以下含むようにすることが好ましい。

【0035】本発明の第1の特徴は、強誘電体キャパシタのリーク特性を意図的に増大させたものであるが、このようにリーク特性を意図的に増大させるとによって、リフレッシュ動作が不要なプレート電位固定型FRAMを作成することが可能になる。すなわち、基板リーク電流の最大値よりも、キャパシタのリーク電流を大きく設

定することにより、キャパシタの1電極層とMOSFETの1主電極領域との接続点であるインターナルノードの平衡電位が顕著に下がることはない。すなわち、インターナルノードの平衡電位の変動は、強誘電分極を維持することが可能な電圧範囲に収まるので、強誘電分極が反転することがない。従って、インターナルノードを $1/2 V_{cc}$ に保つためのリフレッシュ動作などは不要となる。

【0036】なお、強誘電体キャパシタのリーク電流を大きく設定することによって、読み出し/書き込み動作に影響することが考えられる。FRAMの1ビットの読み出し/書き込み時間を最大300ns、強誘電体キャパシタの蓄積電荷密度を最小 $10 \mu C/cm^2$ とすると、読み出し/書き込み時間内に蓄積電荷量の3%がリークによって散逸するリーク電流密度は、最小で $1 A/cm^2$ になる。従って、動作電圧を印加したときに $1 A/cm^2$ 程度以下のキャパシタリーク電流があれば、読み出し/書き込み動作に実質的に影響することはない。しかしながら、瞬間的であれ強誘電体薄膜中に A/cm^2 オーダーの大電流が流れることにより膜質が劣化する恐れがあるため、望ましくは最大動作電圧におけるリーク電流は $10^{-2} A/cm^2$ 程度以下にすることが望ましい。

【0037】なお、強誘電体キャパシタのリーク電流の制御は、キャパシタ膜中の構造欠陥等によるものではなく、再現性の良い方法で得る必要がある。また、優れた強誘電特性を維持し、かつ疲労特性やブレークダウンなどの信頼性に影響を与えない必要がある。

【0038】このような特性に特に優れた材料系として、上述したようなエピタキシャル成長させたチタン酸バリウム系の強誘電体薄膜をベースにし、添加元素としてランタン(La)やニオブ(Nb)などを0.1%か5数%程度ドーピングした材料が望ましい。

【0039】本発明の第1の特徴によれば、プレート電位固定型FRAMに特有の、待機時にリフレッシュ動作が必要になるという問題点を克服できる。この結果、高速読み書きが可能で、低消費電力のFRAMを作成することが可能になる。

【0040】本発明の第2の特徴は、転送ゲート用トランジスタと、この転送ゲート用トランジスタの一方の主電極領域と接続した第1の電極層、一定電位のプレート線に接続した第2の電極層と、第1及び第2の電極層間に挟まれた強誘電体薄膜からなるキャパシタと、第1及び第2の電極層間に接続された薄膜抵抗とを少なくとも有するメモリセルを含む半導体記憶装置であることである。この薄膜抵抗は、半導体ないしは半金属からなる薄膜で構成すればよく、半導体記憶装置の読み出し/書き込み時にキャパシタに加わる駆動電圧の最大値における抵抗値が、 $10^9 \Omega$ 以上 $10^{15} \Omega$ 以下に選ぶことが好ましい。上記の本発明の第1の特徴においては、それぞれ

のキャパシタの内部を流れるリーク電流を用いたものであるが、本発明の第2の特徴においては、各キャパシタの外付けのリーク抵抗として積極的に薄膜抵抗を設けたものである。

【0041】本発明の第2の特徴によれば、キャパシタの電極間に薄膜抵抗を並列に接続することにより、リフレッシュ動作が不要なプレート電位固定型回路を有するFRAMを作成することが可能になる。インターナルノードに基板リークにより流れ込む電流を、薄膜抵抗を通して逃がすことにより、第1の特徴と同様に、インターナルノードの電位を一定に保つことが可能になる。

【0042】薄膜抵抗の下限値としては、半導体記憶装置の読み書き動作時に蓄積電荷がこの薄膜抵抗を通して逃げ出さない値以上であれば良い。FRAMの1ビットの読み出し/書き込み時間を最大300ns、キャパシタの蓄積電荷を最小 $10 fC$ とすると、読み出し/書き込み時間内に蓄積電荷量の3%がリークによって散逸するリーク電流は、最小で $1 nA$ になる。従って、半導体記憶装置の動作電圧を1Vとしたときに $10^9 \Omega$ 以上の抵抗値であれば、読み出し/書き込み動作に実質的に影響することはない。また、薄膜抵抗の抵抗の上限値としては、基板リークにより流れ込む電流を、分極保持電圧内で逃がせば良い。セルあたりの最大の基板リーク電流を $10^{-16} A$ とし、分極保持電圧を最小0.1Vとすると、 $10^{15} \Omega$ 以下であればインターナルノードの電位を安定に保持することができる。

【0043】本発明の第2の特徴に好適な抵抗値を実現する薄膜抵抗材料としては、熱的に安定なグラファイトなどの半金属やSiやGeなどの半導体から選ぶことができる。

【0044】本発明の第3の特徴は、転送ゲート用トランジスタと、この転送ゲート用トランジスタの一方の主電極領域と接続した第1の電極層、一定電位のプレート線に接続した第2の電極層と、第1および第2の電極層に挟まれた強誘電体薄膜からなるキャパシタとを少なくとも有するメモリセルを含み、スタンバイ時における転送ゲート用トランジスタのリーク電流が $10^{-15} A$ から $10^{-9} A$ の範囲内に制御されている半導体記憶装置であることである。

【0045】上記の本発明の第1及び第2の特徴は、各キャパシタの内部を流れるリーク電流、および各キャパシタの外付けの薄膜抵抗を流れるリーク電流を、それぞれ用いたものであるが、本発明の第3の特徴においては、スタンバイ時における転送ゲート用トランジスタのリーク電流を用いたものである。

【0046】本発明の第3の特徴によれば、トランジスタのリーク電流を利用することにより、リフレッシュ動作が不要なプレート電位固定型FRAMを作成することが可能になる。インターナルノードに基板リークにより流れ込む電流を、トランジスタのリーク電流を利用して

逃がすことにより、第1及び第2の特徴と同様にインターナルノードの電位を一定に保つことが可能になる。

【0047】リーク電流の上限値としては、半導体記憶装置の読み書き時に、選択ビット線と非選択ワード線に接続された半選択セルの蓄積電荷が、トランジスタのリーク電流を介して逃げ出さない値以下であればよい。FRAMの1ビットの読み出し/書き込み時間を最大300ns、キャパシタの蓄積電荷を最小10fCとすると、読み出し/書き込み時間内に蓄積電荷量の3%が散逸するリーク電流は、最小で1nAになる。従って、トランジスタのリーク電流を 10^{-9} A以下にすれば、読み出し/書き込み動作時に半選択セルの記憶状態に影響することはない。消費電力の観点から見れば、リーク電流はなるべく小さい方が望ましい。また、リーク電流の下限値としては、基板リークにより流れ込む電流を、分極保持電圧内で逃がせればよい。セル当たりの最大リーク電流を 10^{-16} Aとし、分極保持電圧を最小0.1Vとすると、ドレイン電圧0.1Vで 10^{-16} Aであれば、インターナルノードの電位を安定に保持することができるが、余裕を見て 10^{-15} A以上が望ましい。

【0048】本発明の第3の特徴に好適なトランジスタのリーク電流を制御する方法としては、トランジスタのしきい値電圧を適宜設定すればよい。MOSトランジスタをオフ状態からオン状態に遷移させるとき、ドレイン電流の大きさを1桁上げるためには、ゲート電圧を約70mV上げる必要がある。ここでオン状態とは1 μ A以上ドレイン電流が流れる状態である。従って、例えばしきい値電圧を700mVに設定すれば、ゲート電圧0Vのオフ状態では1 μ Aより10桁低い 10^{-16} Aのリーク電流が流れることになる。従って、例えばしきい値電圧を210mVから630mV程度の値に設定すればよい。

【0049】本発明の第3の特徴に好適なトランジスタのリーク電流を制御する他の方法としては、しきい値電圧を大きく設定して、スタンバイ時にもゲート電圧を0Vに落とさずに、望ましいリーク電流に対応した、特定のゲート電圧に保持すればよい。上述した例に倣えば、しきい値電圧を800mVに設定し、スタンバイ時にも280mVから730mVのゲート印加することで、トランジスタのリーク電流を 10^{-15} Aから 10^{-9} Aの範囲内に制御することができる。

【0050】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態に係る半導体記憶装置を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また図面相互間においても互いの寸法の関係や

比率が異なる部分が含まれていることはもちろんである。

【0051】(第1の実施の形態)図1及び図2を用いて本発明の第1の実施の形態に係る半導体記憶装置を説明する。図1(a)と図1(b)とは互いに直交する関係にある半導体記憶装置の断面図である。すなわち、図1(a)のA-A方向から見た断面図が図1(b)であり、図1(b)のB-B方向から見た断面図が図1

(a)である。また、図2は図1のメモリセルをマトリクス構成した様子を示す本発明の第1の実施の形態に係る半導体記憶装置の主要部の回路図である。

【0052】まず、図2を用いて全体構成を説明する。本発明の第1の実施の形態に係る半導体記憶装置は、図2に示すように強誘電性特性を使用した薄膜キャパシタ501, 502, 503, ..., 506, ...と、この薄膜キャパシタ501, 502, 503, ..., 506, ...に接続して設けられた転送ゲート用トランジスタ(MOSFET)601, 602, ..., 606, ...を具備したメモリセルを複数個マトリクス状に配置している。図2において、1つのキャパシタ501, 502, 503, ..., 506, ...551の一方の電極層は、半導体基板内に造り込まれたMOSFET601, 602, ..., 606, ...651のソース、ドレイン領域を介してビット線BL_j, BL_{j+1}, ..., に接続され、もう一方の端子は一定の電位1/2V_{cc}に保たれたプレート線PLに接続されている。キャパシタの一方の電極層に接続されたMOSFET601, 602, ..., 606, ...のゲートは、ワード線WL_{i-1}, WL_i, WL_{i+1}, ...に接続される。そして、ビット線駆動回路701により、ビット線BL_j, BL_{j+1}, ..., を駆動し、ワード線駆動回路702により、ワード線WL_{i-1}, WL_i, WL_{i+1}, ...を駆動して、MOSFET601, 602, ..., 606, ...651の導通状態を制御して書き込み/呼び出しを行う回路構成である。そして、本発明の第1の実施の形態に係る半導体記憶装置においては、各薄膜キャパシタ501, 502, ...のそれぞれのキャパシタ電極層間のリークコンダクタンス301, 302, ...をトランジスタ601, 602, ...の一方の主電極領域(インターナルノード)N601, N602, ...と基板間のリークコンダクタンス401, 402, ...より大きく設定されている。

【0053】図1に戻りメモリセルの構造を説明する。本発明の第1の実施の形態に係る半導体記憶装置のメモリセル(FRAMメモリセル)は、Baのモル分率80%のBSTOにLaを0.5%ドーピングした強誘電体薄膜層を具備するエビタキシャルキャパシタを有する。このFRAMメモリセルは、図1に示すように第1導電型(p型)の基板1上に第2導電型高不純物密度の基板プレート19を設け、図2に示したプレート線PLを構成している。そしてこの基板プレート19の上に下部バリア金属層2、第2の電極層(下部電極層)3、強誘電

体薄膜4、第1の電極層(上部電極層)5、上部バリア金属層6からなるエピタキシャルキャパシタが構成されている。下部バリア金属層2は膜厚10nmの(Ti, Al)N、下部電極層3は膜厚20nmのSrRuO₃、強誘電体薄膜4は、厚さ25nmのBSTO:La薄膜、上部電極層は厚さ20nmのSrRuO₃膜、さらに上部バリア金属層6として膜厚10nmの(Ti, Al)Nである。

【0054】そして、このエピタキシャルキャパシタに隣接して第1の主電極領域(n⁺ソース領域)52および第2の主電極領域(n⁺ドレイン領域)51とを有するnMOSFETが転送ゲート用トランジスタとして構成されている。さらに、このnMOSFETは制御電極として、p型シリコン層12の表面のゲート酸化膜30の上にゲート電極31a、31bを有している。なおここでゲート電極31a、31bは、ポリSiゲート層31aとWゲート層31bとからなる2層構造である。Wゲート層の他にTi, Mo, Co等の高融点金属、あるいはWSi₂, TiSi₂, MoSi₂, CoSi₂等の高融点金属のシリサイドなどを、ゲート層31bとして用いても良い。このゲート電極31はワード線31の一部を成すものである。ワード線31は、図2に示すように複数本あり、図1(a)の紙面に垂直方向に延伸されている。各nMOSFETは素子分離絶縁膜9により互いに分離されている。

【0055】また、図1に示すようにn⁺ドレイン領域51上には不純物を添加した多結晶シリコン(ドーパドポリシリコン)、高融点金属や高融点金属のシリサイド等からなるビット線コンタクトプラグ34が配置され、ビット線35に接続されている。ビット線35は、ワード線31と直交する方向に延伸されている。図1(a)の断面図では、ビット線35が1本のみ示されているが、図2の回路図に示すように複数本のビット線と複数本のワード線でX-Yマトリクスを構成していることは勿論である。

【0056】図1に示すように、n⁺ソース領域52には、n⁺ドーパドポリシリコンからなるキャパシタコンタクトプラグ14が接続されている。ワード線31とビット線35とは酸化膜(SiO₂膜)、PSG膜、BP PSG膜、窒化膜(Si₃N₄膜)等からなる第1の層間絶縁膜32、第2の層間絶縁膜33により互いに分離されている。さらにビット線35の上には酸化膜(SiO₂膜)、PSG膜、BP PSG膜、窒化膜(Si₃N₄膜)、あるいはポリイミド膜などのパッシベーション膜36が形成されている。

【0057】本発明の第1の実施の形態に係るFRAMセルのエピタキシャルSRO/BSTO:La/SROキャパシタの強誘電ヒステリシス特性を測定したところ、図3に示すような特性が得られることが確認された。図3に示すように、このエピタキシャルSRO/B

STO:La/SROキャパシタは、±1.5Vでの動作で残留分極値2Pr=40μC/cm²の大きな誘電分極が得られる。又、誘電分極の保持特性を温度85℃、100℃、および120℃において加速試験により測定したところ、図4に示すように±0.4V以内に電圧を保てば、85℃10年間分極状態が保持されることが確認された。さらに、リーク電流特性を測定したところ、図5に示すような特性が得られ、±0.2V以上±1.5V以内の電圧範囲では、10⁻⁶A/cm²から10⁻⁴A/cm²の範囲の安定したリーク特性が得られた。

【0058】上述の工程により作成したメモリセルを使用し、強誘電体キャパシタに±1.5Vで書き込んだ後、プレート線およびビット線を1.5Vに、基板電位を-1Vに保持して保持特性を測定したところ、リフレッシュ動作を行わなくても分極状態が安定に保持されることが確認された。

【0059】次に、図6乃至図10を用いて本発明の第1の実施の形態に係るFRAMセルの製造方法を説明する。

【0060】(イ)まず図6(a)に示すように、第1導電型(p型)のSi(100)基板1を用意する。このp型基板1の表面に図6(b)に示すように深さ0.1μm程度の第2導電型(n型)の不純物を2×10¹⁸cm⁻³~1×10²¹cm⁻³程度の不純物密度に拡散することにより基板プレート19を形成する。

【0061】(ロ)その後、図6(c)に示すように下部バリア金属層2として膜厚10nmの(Ti, Al)N、下部電極層3として膜厚20nmのSrRuO₃、強誘電体薄膜4としてBa_{0.8}Sr_{0.2}TiO₃にLaを0.5%ドーピングした厚さ25nmのBSTO:La薄膜、上部電極層5として厚さ20nmのSrRuO₃膜、さらに上部バリア金属層6として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長し、さらに第1の絶縁膜7をTEOSガスを原料としたプラズマCVD法等により形成する。

【0062】(ハ)次に図6(d)に示すように、フォトリソグラフィ技術によりフォトレジスト21のパターンを形成し、このフォトレジスト21をマスクとしてRIEなどによるエッチングにより第1の凹部22を形成する。次にこの第1の凹部22の内部および第1の絶縁膜の上に図7(e)に示すように第2の絶縁膜8をコンフォーマルに形成する。

【0063】(ニ)次に図7(f)に示すように、第2の絶縁膜8の上に、フォトリソグラフィ技術によりフォトレジスト23のマスクパターンを形成する。このフォトレジスト23をマスクとして、異方性RIE等のエッチングにより第2の絶縁膜8を選択的に除去する。このエッチングにより、後述する素子間分離絶縁膜の形成

予定部に、第2の絶縁膜8を残存させる。更に、このとき、第1の凹部22の底部の第2の絶縁膜8は除去されるが、側壁部分の第2の絶縁膜8は残存するので、第1の凹部22の側壁には第2の絶縁膜8がセルフアラインにより残されたことになる。第1の凹部22の底部には、単結晶Si成長用ノードとして第2導電型(n⁺型)の基板プレート19が露出する。

【0064】(ホ)次に図7(g)に示すように、第1の凹部22の底部に露出したSi表面の損傷層を取り除くため、フッ化水素(HF)蒸気を使用した気相エッチングを行い、この気相エッチングの後、そのまま真空中でCVD室に搬送し、第1導電型の単結晶Si層12を形成する。この第1導電型の単結晶Si層12の形成は、0.13Paの圧力のSiH₄ガスとアクセプタ不純物として加えた0.01Paのジボラン(B₂H₆)ガスを使用して750℃で、第1の凹部22の底部の単結晶Si成長用ノードから選択エピタキシャル成長すればよい。この選択エピタキシャル成長後に、図8(h)に示すように第2の絶縁膜8を停止層とし、CMP法(化学的機械的研磨法)により表面を平坦化する。

【0065】(ヘ)次に図8(i)に示すように、単結晶Si層12をマスクとしてRIE法等により素子間分離部の第2の絶縁膜8、第1の絶縁膜7、上部バリア金属層6、および上部電極層5を選択的に除去し、第2の凹部(素子間分離用溝)24を作成する。なおこのときに、選択的湿式エッチングなどを併用しても良い。次に第2の凹部(素子間分離用溝)24に図8(j)に示すように第3の絶縁膜9を埋め込み、その後、その表面を図9(k)に示すようにCMPにより平坦化し、素子間分離絶縁膜9を形成する。

【0066】(ト)次に図9(l)に示すように、フォトリソグラフィ技術によりフォトレジスト25のパターンを形成し、このフォトレジスト25をマスクとして、RIE法などのプラズマエッチングを用いて、選択的に単結晶Si層12をエッチング除去し、第3の凹部26および第4の凹部27を開口する。この第3の凹部26および第4の凹部27は、キャパシタコンタクトプラグを形成するための凹部である。このときのエッチング条件として、上部バリア金属層6ないし上部電極層5のいずれかをストッパーとして用いて選択的にストップさせると良い。次に、全面に例えばリン(P)、砒素(As)、アンチモン(Sb)等の第2導電型(n⁺型)不純物を含んだポリSi膜(ドーパドポリシリコン膜)14を図9(m)に示すように約200nm程度の膜厚で堆積する。その後図10(n)に示すように全面をCMPなどの方法でエッチバックすることにより第3および第4の凹部26、27にn⁺ポリSi膜14からなるキャパシタコンタクトプラグを形成する。

【0067】(チ)次に図10(o)に示すように厚さ30~80nm程度のゲート酸化膜(ゲート絶縁膜)3

0を形成し、続けてドーパドポリシリコン膜31a、W膜31bを堆積し、公知のリソグラフィ技術およびRIE等のエッチングによりポリSiゲート層31a、Wゲート層31bからなるゲート電極(ワード線)31のパターンを形成する。続いて、このゲート電極31をマスクとして砒素(⁷⁵As⁺)をイオン注入し、第2導電型(n⁺型)のソース領域52およびドレイン領域51を形成する。次に図10(p)に示すようにゲート電極層31の上に第1の層間絶縁膜32を形成し、さらにその上に第2の層間絶縁膜33を形成し、その表面をCMP法等により平坦化する。そしてn⁺ドレイン領域51の上部の第1および第2の層間絶縁膜32、33、ゲート絶縁膜30を選択的に除去して凹部を形成し、この凹部にドーパドポリシリコン、高融点金属、高融点金属シリサイド等のビットコンタクトプラグ34を埋め込む。その後、ビットコンタクトプラグ34、第1および第2の層間絶縁膜32、33の上に、W、Ti、Mo等の高融点金属、あるいはAl、Cu等の金属を真空蒸着法、スパッタリング法、あるいはCVD法により堆積する。そして、リソグラフィ技術およびRIEによりこれらの高融点金属もしくは、Al、Cu等の金属を、パターニングして図1に示すようなビット線35のパターンを形成する。その後、さらにSiO₂、PSG、BPSG、Si₃N₄膜、あるいはポリイミド膜等のパッシベーション膜36を堆積すれば図1に示すFRAMが完成する。

【0068】(第2の実施の形態)図11は、本発明の第2の実施の形態に係る半導体記憶装置の断面図である。図11に示すように、本発明の第2の実施の形態に係る半導体記憶装置は、エピタキシャルキャパシタ(2, 3, 4, 5, 6)の両電極間に薄膜抵抗11を挿入したFRAMである。第1の実施の形態で説明した図2では、それぞれのキャパシタ電極層間のリークコンダクタンス301, 302, ...を、各薄膜キャパシタ501, 502, ...の内部を流れるリーク電流の等価回路的表现として示したものであるが、第2の実施の形態に係る半導体記憶装置においては、各薄膜キャパシタ501, 502, ...の外付けのリーク抵抗301, 302, ...として積極的に薄膜抵抗11を設けたものである。

【0069】本発明の第2の実施の形態に係るエピタキシャルキャパシタは、第1の実施の形態と同様に、下部バリア金属層2、第2の電極層(下部電極層)3、強誘電体薄膜4、第1の電極層(上部電極層)5、上部バリア金属層6から構成されている。そして、これらの第2の電極層(下部電極層)3及び第1の電極層(上部電極層)5の端面に接して薄膜抵抗11が配置されている。薄膜抵抗11は、不純物密度10¹⁸cm⁻³程度にリン(P)をドーピングした厚さ2nmのSi薄膜である。そして、電圧-電流特性の測定結果によれば、この薄膜抵抗11は、0.1Vから1.5Vの範囲内で、10¹¹

から $10^{12}\Omega$ の抵抗値を示した。下部バリア金属層2は、膜厚10nmの(Ti, Al)N、下部電極層3は、膜厚20nmのSrRuO₃、強誘電体薄膜4は、厚さ25nmの絶縁性のBa_{0.8}Sr_{0.2}TiO₃薄膜、上部電極層5は、厚さ20nmのSrRuO₃膜、上部バリア金属層6は、膜厚10nmの(Ti, Al)Nである。

【0070】図11に示すように、本発明の第2の実施の形態に係るFRAMメモリセルは、第1導電型(p型)の基板1上に第2導電型高不純物密度の基板プレート19を設け、プレート線PLを構成している。プレート線PLは、一定の電位に固定される。そしてこの基板プレート19の上に、両電極間に薄膜抵抗11を挿入したエピタキシャルキャパシタ(2, 3, 4, 5, 6)を配置している。さらに、このエピタキシャルキャパシタに隣接して第1の主電極領域(n⁺ソース領域)52および第2の主電極領域(n⁺ドレイン領域)51とを有するnMOSFETが転送ゲート用トランジスタとして構成されている。なお、このnMOSFETは制御電極として、p型シリコン層12の表面のゲート酸化膜30の上にゲート電極31(31a, 31b)を有している。このゲート電極31はワード線31の一部を成すものである。ワード線31は、複数本あり(図2参照)、図11の紙面に垂直方向に延伸されている。各nMOSFETは素子分離絶縁膜9により互いに分離され、エピタキシャルキャパシタの第1の電極層(上部電極層)5、上部バリア金属層6も素子分離絶縁膜9により互いに分離されている。

【0071】また、図11に示すようにn⁺ドレイン領域51上にはドーパドポリシリコン、高融点金属や高融点金属のシリサイド等からなるビット線コンタクトプラグ34が配置され、ビット線35に接続されている。ビット線35は、ワード線31と直交する方向に延伸されている。図11の断面図上では、ビット線35が1本のみ示されているが、複数本のビット線と複数本のワード線でX-Yマトリクスを構成していることは勿論である(図2参照)。そして、n⁺ソース領域52には、n⁺ドーパドポリシリコンからなるキャパシタコンタクトプラグ14が接続されている。ワード線31とビット線35とは酸化膜(SiO₂膜)、PSG膜、BPSG膜、窒化膜(Si₃N₄膜)等からなる第1の層間絶縁膜32、第2の層間絶縁膜33により互いに分離されている。さらにビット線35の上には酸化膜(SiO₂膜)、PSG膜、BPSG膜、窒化膜(Si₃N₄膜)、あるいはポリイミド膜などのパッシベーション膜36が形成されている。

【0072】図11に示すメモリセルにより、マトリクスを構成し、エピタキシャルキャパシタに±1.5Vで書き込んだ後、プレート線およびビット線を1.5Vに、基板電位を-1Vに保持して保持特性を測定したと

ころ、リフレッシュ動作を行わなくても分極状態が安定に保持されることが確認された。

【0073】薄膜抵抗11の抵抗の下限値としては、FRAMの読み書き動作時に蓄積電荷が薄膜抵抗11を通して逃げ出さない値以上であれば良い。例えば、FRAMの1ビットの読み出し/書き込み時間を最大300ns、エピタキシャルキャパシタの蓄積電荷を最小10fCとすると、リーク電流は、最小で1nAになる。このリーク電流は、読み出し/書き込み時間内に蓄積電荷量の3%が散逸するリーク電流である。従って、動作電圧を1Vとしたときに $10^9\Omega$ 以上の抵抗値であれば、読み出し/書き込み動作に実質的に影響することはない。また、薄膜抵抗11の抵抗の上限値としては、基板リークにより流れ込む電流を、分極保持電圧内で逃がせれば良い。このため、セルあたりの最大の基板リーク電流を 10^{-16} Aとし、分極保持電圧内で逃がせれば良いことになる。従って、基板リーク電流を 10^{-16} Aとし、分極保持電圧を最小0.1Vとすると、 $10^{15}\Omega$ 以下であればインターナルノードの電位を安定に保持することができる。このような抵抗値を実現するための薄膜抵抗材料としては、上記のSi薄膜以外に、Ge薄膜や、熱的に安定なグラファイトなどの半金属の薄膜を用いても良い。これらの薄膜は、単結晶、多結晶、あるいはアモルファスのいずれでもよい。

【0074】次に図12乃至図14を用いて本発明の第2の実施の形態に係るFRAMセルの製造方法を説明する。

【0075】(イ)まず、第1導電型(p型)のSi(100)基板1を用意し、このp型基板1の表面に基板プレート19を形成し、その上に、下部バリア金属層2として膜厚10nmの(Ti, Al)N、下部電極3として膜厚20nmのSrRuO₃、誘電体膜4として厚さ25nmの絶縁性のBa_{0.8}Sr_{0.2}TiO₃薄膜、上部電極5として厚さ20nmのSrRuO₃膜、さらに上部バリア金属層6として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエピタキシャル成長する。さらに第1の絶縁膜7をTEOSガスを原料したプラズマCVD法等により形成する。そして、図12(a)に示すように、フォトリソグラフィー技術及びRIEなどによるエッチングにより第1の凹部22を形成する。

【0076】(ロ)次にこの第1の凹部22の内部および第1の絶縁膜の上に図12(b)に示すように 10^{18}cm^{-3} 程度にリン(P)をドーピングした厚さ2nmのSi薄膜11をスパッタ法により堆積する。そして、図12(c)に示すように、異方性RIE等のエッチングによりSi薄膜11を選択的に除去する。

【0077】(ハ)次に、図13(d)に示すように、第1の凹部22の内部および第1の絶縁膜7の上に第2

の絶縁膜8をコンフォーマルに形成し、Si薄膜11を包み込む。そして、図13(e)に示すように、第2の絶縁膜8の上に、フォトリソグラフィー技術によりフォトレジスト28のマスキングパターンを形成する。このフォトレジスト28をマスクとして、異方性RIE等のエッチングにより第1の凹部22の内部の第2の絶縁膜8を選択的に除去する。このとき、第1の凹部22の底部の第2の絶縁膜8は除去されるが、側壁部分の第2の絶縁膜8は残存する。第1の凹部22の底部には、単結晶Si成長用ノードとして第2導電型(n⁺型)の基板プレート19が露出する。

【0078】(ニ) フォトレジスト28を除去して、図13(f)に示すように、新たなフォトレジスト23のマスキングパターンを形成する。このフォトレジスト23をマスクとして、異方性RIE等のエッチングにより第2の絶縁膜8を選択的に除去し、後述する素子間分離絶縁膜の形成予定部に、第2の絶縁膜8からなる凸部を形成する。

【0079】(ホ) 次に、第1の凹部22の底部に露出したSi表面の損傷層を取り除くため、フッ化水素(HF)蒸気を使用した気相エッチングを行い、この気相エッチングの後、そのまま真空中でCVD室に搬送し、第1導電型の単結晶Si層12を形成する。その後、図14(g)に示すように第2の絶縁膜8を停止層とし、CMP法(化学的機械的研磨法)により表面を平坦化する。

【0080】(ヘ) 次に図14(h)に示すように、単結晶Si層12をマスクとしてRIE法等により素子間分離部の第2の絶縁膜8、第1の絶縁膜7、上部バリア金属層6、および上部電極層5を選択的に除去し、第2の凹部(素子間分離用溝)24を作成する。その後、第2の凹部(素子間分離用溝)24に第3の絶縁膜9を埋め込み、その表面を図14(i)に示すようにCMPにより平坦化し、素子間分離絶縁膜9を形成する。

【0081】この後は、第1の実施の形態で説明した図9(1)以降の工程と基本的に同様であるので、説明を省略する。

【0082】図15は、本発明の第2の実施の形態の変形例に係る半導体記憶装置の断面図である。図11と同様のように、この変形例に係る半導体記憶装置は、エビタキシャルキャパシタ(2, 3, 4, 5, 6)の両電極間に薄膜抵抗11を挿入したFRAMであるが、図15では、薄膜抵抗11は、エビタキシャルキャパシタの上部バリア金属層6の上面から、第1の電極層(上部電極層)5、強誘電体薄膜4、第2の電極層(下部電極層)3、下部バリア金属層2の各端面を経由して、単結晶Si成長用ノードとして露出した第2導電型(n⁺型)の基板プレート19の上部まで延長形成されている。

【0083】次に図16乃至図18を用いて本発明の第2の実施の形態の変形例に係るFRAMセルの製造方法

を説明する。

【0084】(イ) まず、第1導電型(p型)のSi(100)基板1を用意し、このp型基板1の表面に基板プレート19を形成し、その上に、下部バリア金属層2として膜厚10nmの(Ti, Al)N、下部電極3として膜厚20nmのSrRuO₃、誘電体膜4として厚さ25nmの絶縁性のBa_{0.8}Sr_{0.2}TiO₃薄膜、上部電極5として厚さ20nmのSrRuO₃膜、さらに上部バリア金属層6として膜厚10nmの(Ti, Al)Nを、基板温度600℃でRFあるいはDCスパッタ法により大気中に出さずに連続してエビタキシャル成長する。そして、図16(a)に示すように、フォトレジスト38をマスクとして、RIEなどによるエッチングを行い、第1の凹部22を形成する。

【0085】(ロ) 次にこの第1の凹部22の内部および上部バリア金属層6の上に図16(b)に示すように10¹⁸cm⁻³程度に、リン(P)をドーピングした厚さ2nmのSi薄膜11をスパッタ法により堆積する。そして、図16(c)に示すように、TEOSガスを原料としたプラズマCVD法等により第1の絶縁膜7をSi薄膜11の上に堆積する。

【0086】(ハ) 次に、図17(d)に示すように、第1の絶縁膜7の上に、フォトリソグラフィー技術によりフォトレジスト29のマスキングパターンを形成し、このフォトレジスト29をマスクとして、異方性RIE等のエッチングにより第1の凹部22の内部の第1の絶縁膜7を選択的に除去する。このとき、第1の凹部22の側壁部分に第1の絶縁膜7が残存していてもかまわない。その後、図17(e)に示すように、第1の凹部22の内部および第1の絶縁膜7の上に第2の絶縁膜8をコンフォーマルに形成する。

【0087】(ニ) 次に図17(f)に示すように、第2の絶縁膜8の上に、フォトリソグラフィー技術によりフォトレジスト23のマスキングパターンを形成する。このフォトレジスト23をマスクとして、異方性RIE等のエッチングにより第2の絶縁膜8を選択的に除去する。このエッチングにより、後述する素子間分離絶縁膜の形成予定部に、第2の絶縁膜8を残存させる。更に、このとき、第1の凹部22の底部の第2の絶縁膜8は除去されるが、側壁部分の第2の絶縁膜8は残存する。第1の凹部22の底部には、Si薄膜11が、単結晶Si成長用ノードとして露出する。

【0088】(ホ) 次に、第1の凹部22の底部に露出したSi薄膜11の表面の損傷層を取り除くため、フッ化水素(HF)蒸気を使用した気相エッチングを行い、この気相エッチングの後、そのまま真空中でCVD室に搬送し、第1導電型の単結晶Si層12を形成する。Si薄膜11の気相エッチングにより、基板プレート19が露出してもかまわない。その後、図18(g)に示すように第2の絶縁膜8を停止層とし、CMP法(化学的

機械的研磨法)により表面を平坦化する。

【0089】(へ)次に図18(h)に示すように、単結晶Si層12をマスクとしてRIE法等により素子間分離部の第2の絶縁膜8、第1の絶縁膜7、上部バリア金属層6、および上部電極層5を選択的に除去し、第2の凹部(素子間分離用溝)24を作成する。その後、第2の凹部(素子間分離用溝)24に第3の絶縁膜9を埋め込み、その表面を図18(i)に示すようにCMPにより平坦化し、素子間分離絶縁膜9を形成する。

【0090】この後は、第1の実施の形態で説明した図9(1)以降の工程と基本的に同様であるので、説明を省略する。

【0091】(第3の実施の形態)本発明の第3の実施の形態に係る半導体記憶装置は、デバイス構造的には第1の実施の形態に係る半導体記憶装置と同一であるが、エピタキシャルキャパシタを構成する強誘電体薄膜が異なる。即ち、エピタキシャルキャパシタを構成する強誘電体薄膜として、BSTO:La薄膜の代わりに絶縁性のBa_{0.8}Sr_{0.2}TiO₃薄膜を使用した。更に、本発明の第3の実施の形態に係る半導体記憶装置において、選択用トランジスタのしきい値電圧を、600mVに設定して選択用トランジスタのスタンバイ時におけるリーク電流を制御している。この結果、インターナルノードに基板リークにより流れ込む電流を、トランジスタのリーク電流を利用して逃がすことができるので、インターナルノードの電位を一定に保つことが可能になる。

【0092】このメモリセルにより、マトリクスを構成し、エピタキシャルキャパシタに±1.5Vで書き込んだ後、プレート線及びビット線を1.5Vに、基板電位を-1Vに保持して保持特性を測定したところ、リフレッシュ動作をしなくても分極状態が安定に保持されることが確認された。

【0093】(その他の実施の形態)前述のように、本発明は第1乃至第3の実施の形態を用いて説明したが、上記の第1乃至第3の実施の形態の記載に係る論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0094】本発明のペロブスカイト型構造の誘電体材料として、ABO₃で表される組成式において、Aとしては主としてBaからなり、その一部をSrあるいはCaのうち少なくとも1種類の元素で置換しても構わない。Bとして、Ti、Sn、Zr、Hfなどおよびそれらの固溶系、さらにはMg_{1/3}Ta_{2/3}、Mg_{1/3}Nb_{2/3}、Zn_{1/3}Nb_{2/3}、Zn_{1/3}Ta_{2/3}などの複合酸化物およびそれらの固溶系を使用することができる。また、ドーピングする元素として、希土類元素およびV、Nb、Cr、Mo、Wの中から選択した少なくとも1種類以上の元素を、0.01%以上5%以下含むことが望ましい。

【0095】また、強誘電体薄膜として、鉛系のPZT(PbZr_{1-x}Ti_xO₃)や、ビスマス(Bi)を含むSrBi₂Ta₂O₉やBi₄Ti₃O₁₂などの材料を使うことももちろん可能である。これらの材料の場合には、添加元素としてFe、Mn、Irなどの遷移金属の中から選択した少なくとも1種類以上の元素を、0.01%以上5%以下含むことが望ましい。

【0096】また、メモリセルを構成するトランジスタとして、SOI(Silicon On Insulator)構造のFETを使用すれば、基板リーク電流を低減することが可能になる。したがって、キャパシタのリーク電流をそれほど増大させずにインターナルノードの電位を保持することが可能になる。

【0097】このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の記載に係る発明特定事項によってのみ限定されるものである。

【0098】

【発明の効果】以上詳述したように本発明によれば、リフレッシュ動作が不要のプレート電位固定型FRAMを提供することが出来る。

【0099】また、本発明によれば、高速読み書きが可能で、低消費電力のFRAMを提供することが出来る。

【0100】従って、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るFRAMメモリセルの断面図である。

【図2】本発明の第1の実施の形態に係るFRAMの主要部の回路構成の概略を示す図である。

【図3】本発明の第1の実施の形態に係るFRAMのキャパシタの強誘電特性を示す図である。

【図4】本発明の第1の実施の形態に係るFRAMメモリセルの保持特性の加速検討の結果を示す図である。

【図5】本発明の第1の実施の形態に係るFRAMのキャパシタのリーク電流特性を示す図である。

【図6】本発明の第1の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その1)。

【図7】本発明の第1の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その2)。

【図8】本発明の第1の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その3)。

【図9】本発明の第1の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その4)。

【図10】本発明の第1の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その5)。

メモリセルの製造工程を説明するための工程順断面図である(その5)。

【図11】本発明の第2の実施の形態に係るFRAMメモリセルの断面図である。

【図12】本発明の第2の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その1)。

【図13】本発明の第2の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その2)。

【図14】本発明の第2の実施の形態に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その3)。

【図15】本発明の第2の実施の形態の変形例に係るFRAMメモリセルの断面図である。

【図16】本発明の第2の実施の形態の変形例に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その1)。

【図17】本発明の第2の実施の形態の変形例に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その2)。

【図18】本発明の第2の実施の形態の変形例に係るFRAMメモリセルの製造工程を説明するための工程順断面図である(その3)。

【図19】ドライブ線駆動型のFRAMの回路図である。

【図20】ドライブ線駆動型のFRAMの動作を説明するタイミングチャートである。

【図21】従来のプレート線固定型のFRAMメモリセルの回路図である。

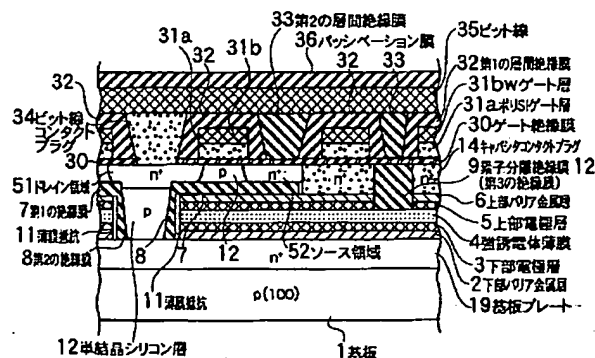
【図22】従来のプレート線固定型のFRAMメモリセルのリーク電流特性を示す図である。

【符号の説明】

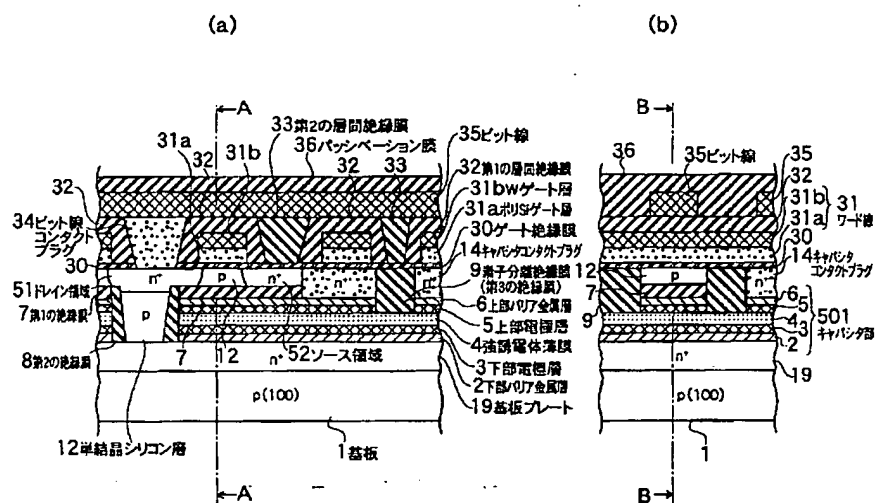
- 1 基板
- 2 下部バリア金属層
- 3 下部電極層

- 4 強誘電体薄膜
- 5 上部電極層
- 6 上部バリア金属層
- 7 第1の絶縁膜
- 8 第2の絶縁膜
- 9 第3の絶縁膜(素子間分離絶縁膜)
- 11 薄膜抵抗
- 12 単結晶シリコン層
- 14 ポリSi膜(キャパシタコンタクトプラグ)
- 19 基板プレート(プレート線)
- 21, 23, 25, 28, 29, 38 フォトレジスト
- 22 第1の凹部
- 24 第2の凹部
- 26 第3の凹部
- 27 第4の凹部
- 30 ゲート絶縁膜
- 31 ワード線
- 31a ポリSiゲート層
- 31b Wゲート層
- 32 第1の層間絶縁膜
- 33 第2の層間絶縁膜
- 34 ビット線コンタクトプラグ
- 35 ビット線
- 36 パッシベーション膜
- 51 ドレイン領域
- 52 ソース領域
- 301~306 キャパシタリークコンダクタンス
- 401~406 基板リークコンダクタンス
- 501~506 キャパシタ部
- 601~606 MOSFET
- 701 ビット線駆動回路
- 702 ワード線駆動回路
- 703 センスアンプ
- BL_j, BL_{j+1} ビット線
- WL_{i-1}, WL_i, WL_{i+1} ワード線
- PL プレート線

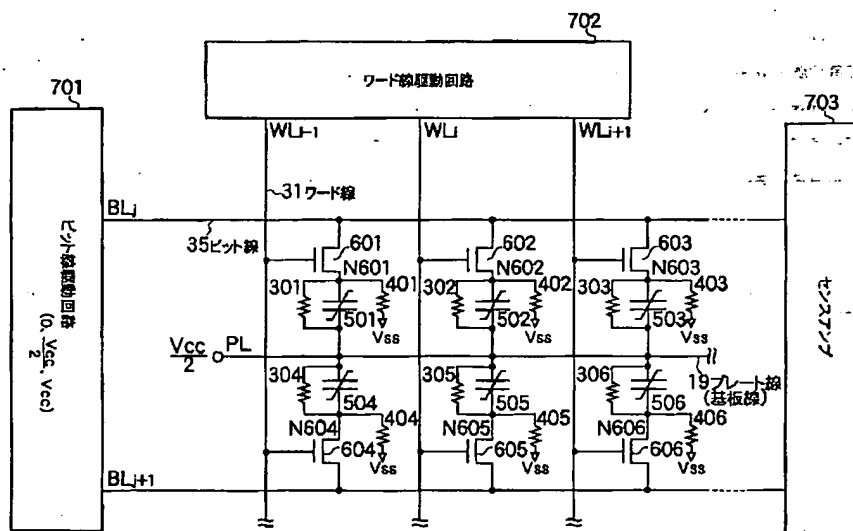
【図11】



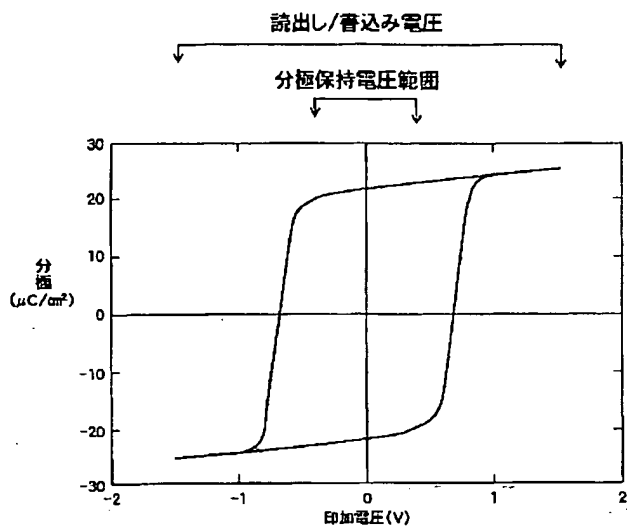
【図 1】



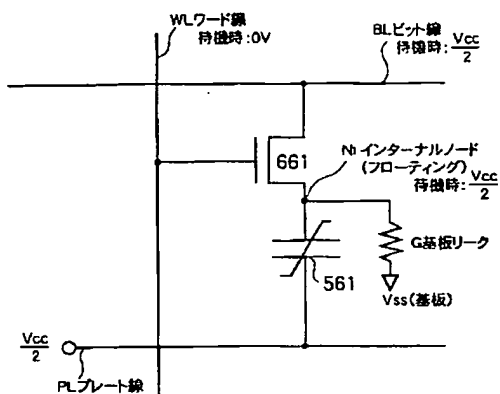
【図 2】



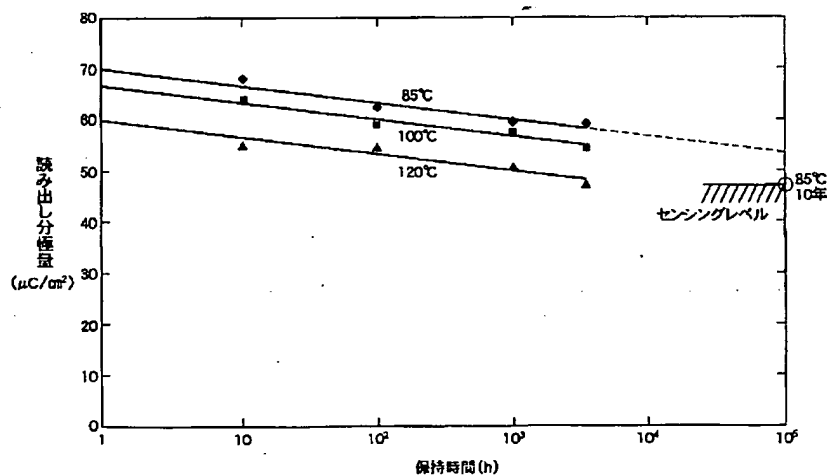
【図3】



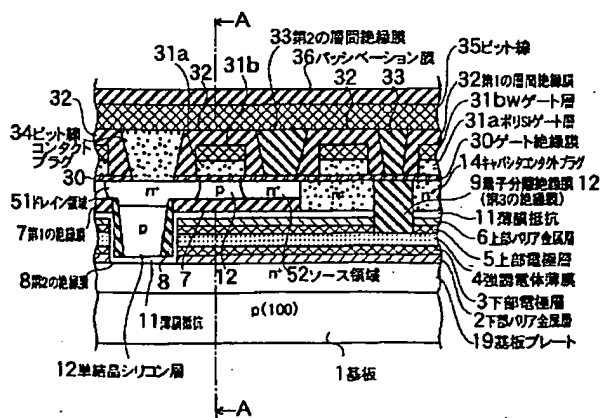
【図21】



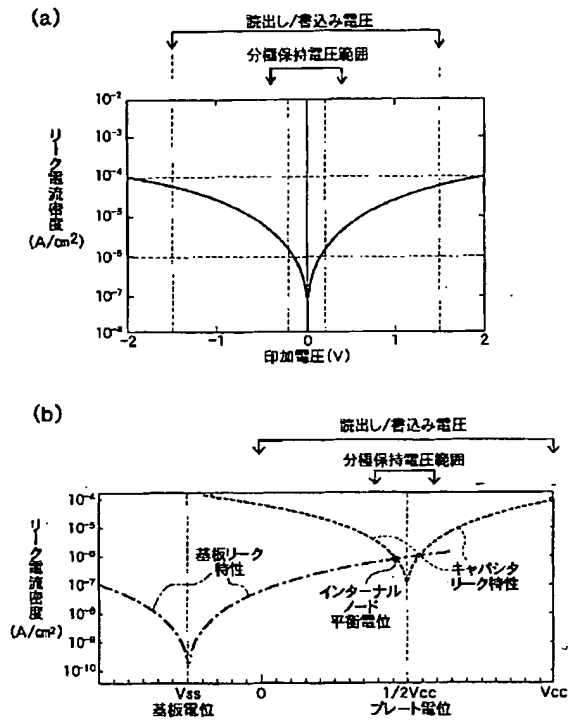
【図4】



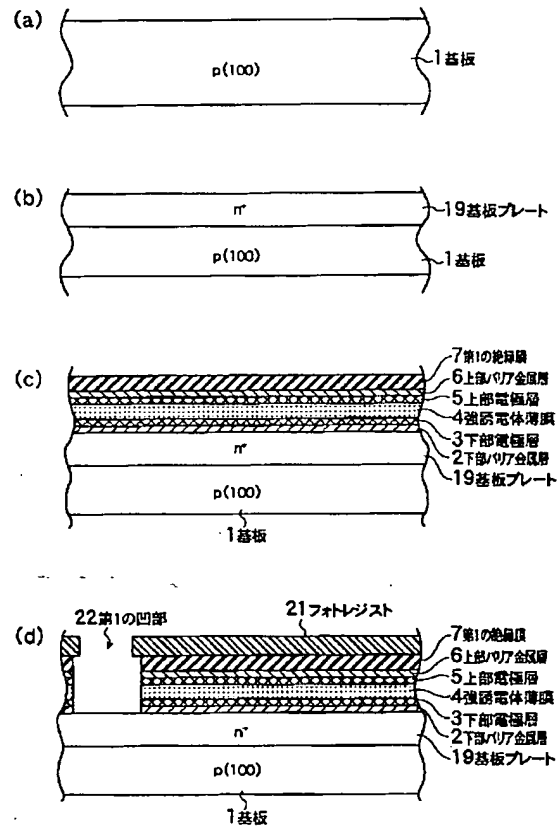
【図15】



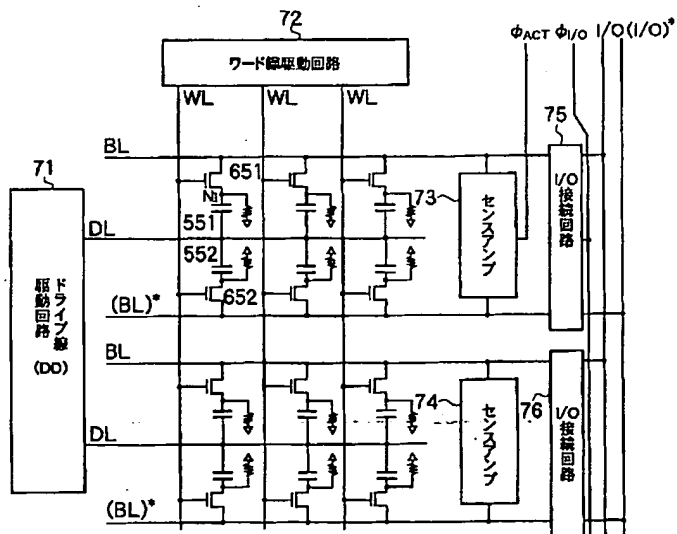
【図 5】



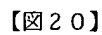
【図 6】



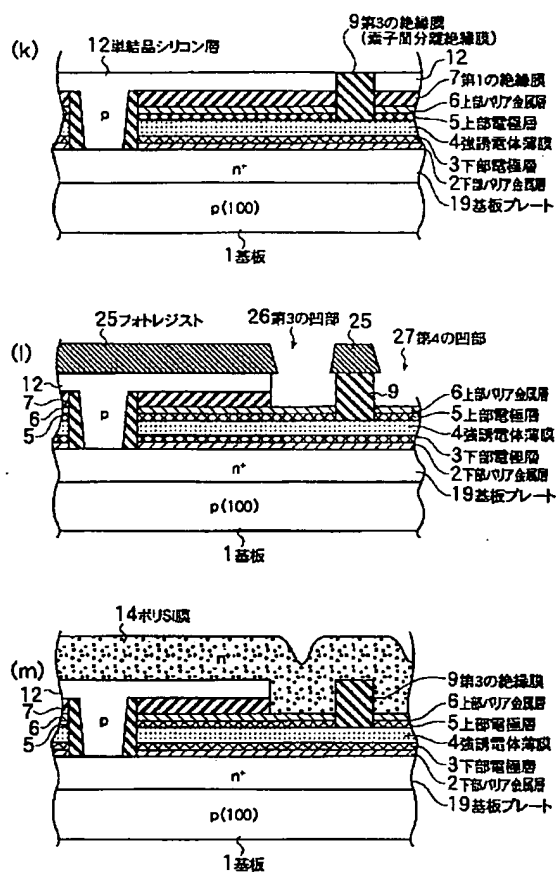
【図 19】



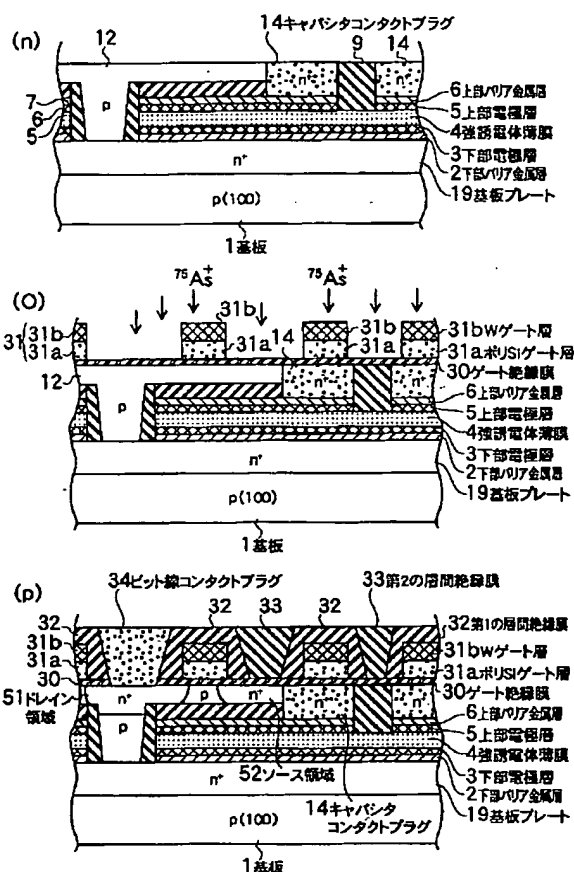
【图8】



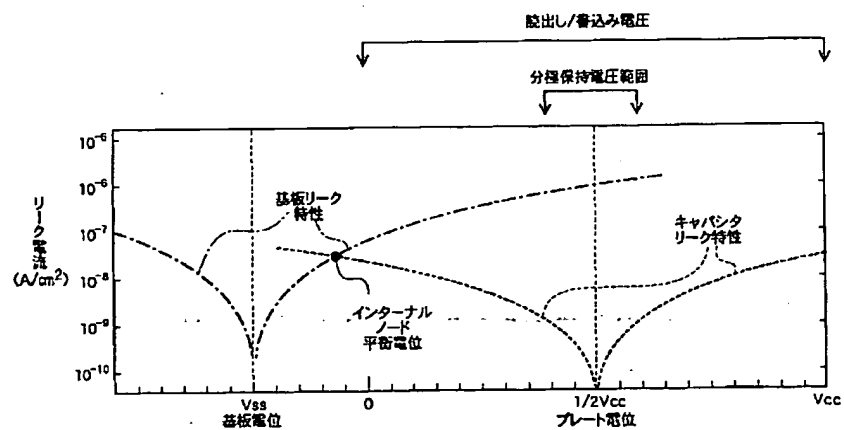
【図 9】



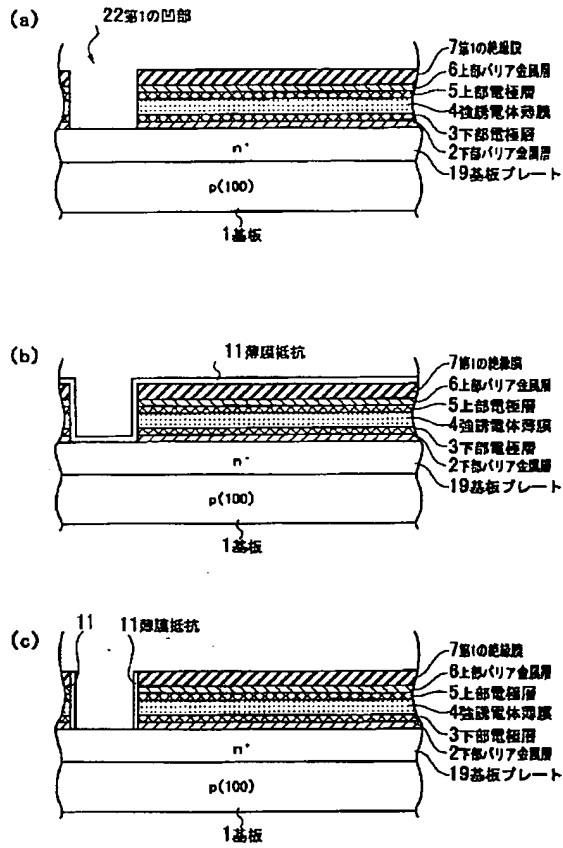
【図 10】



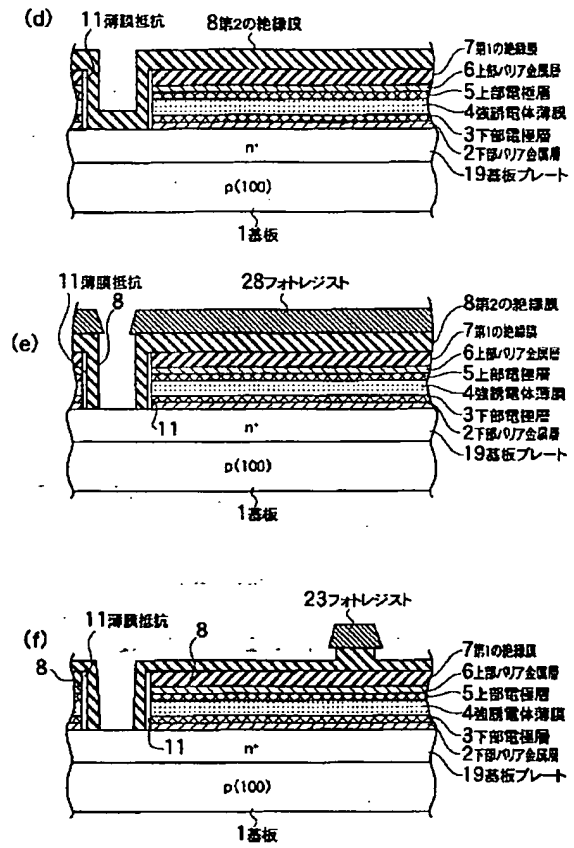
【図 22】



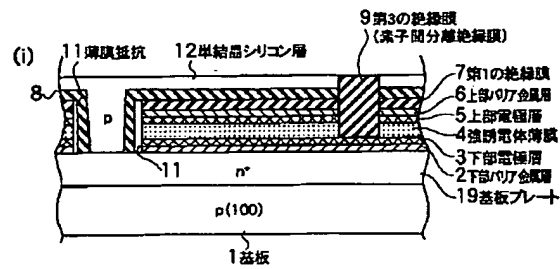
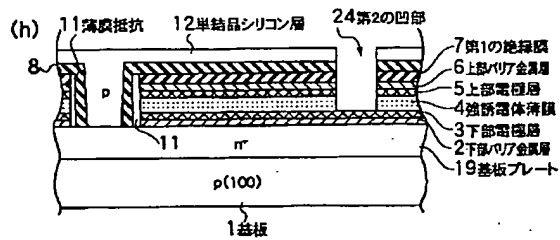
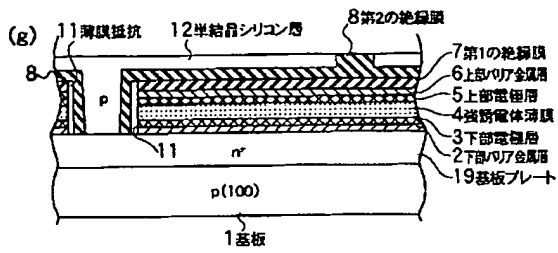
【図12】



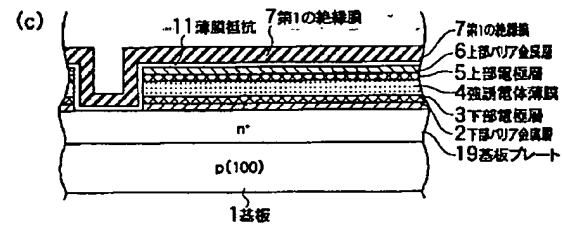
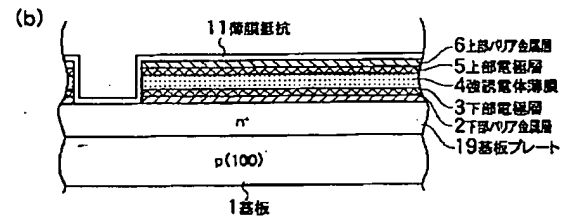
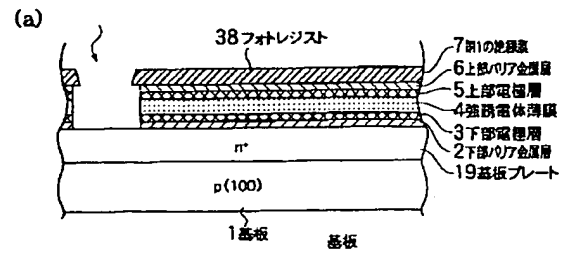
【図13】



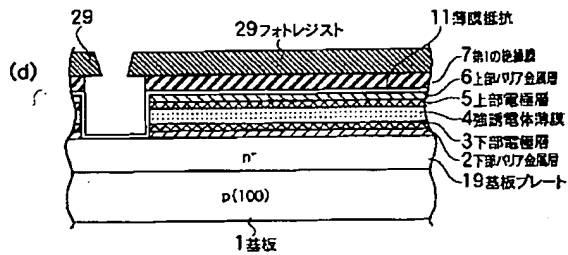
【図 14】



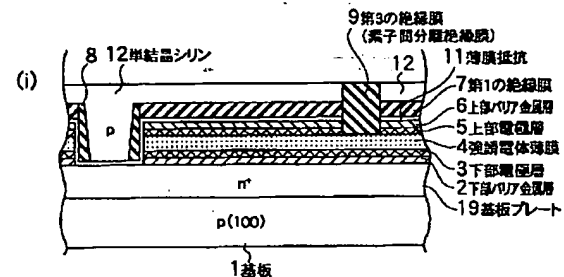
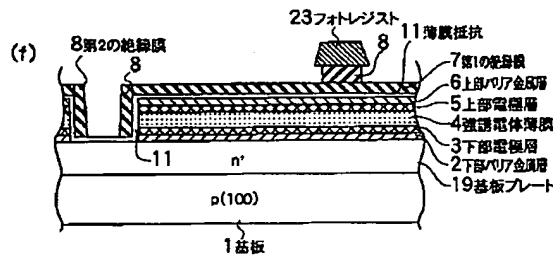
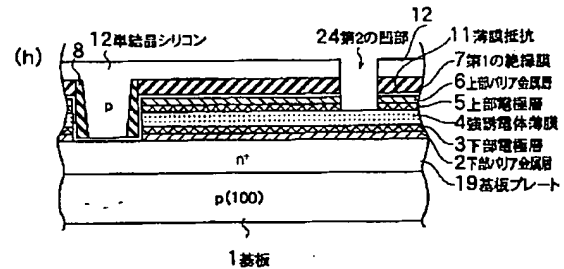
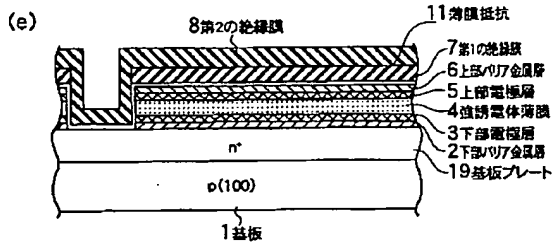
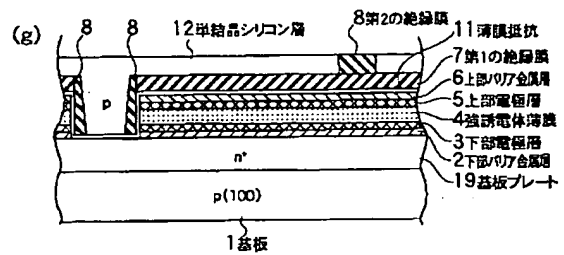
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/792